

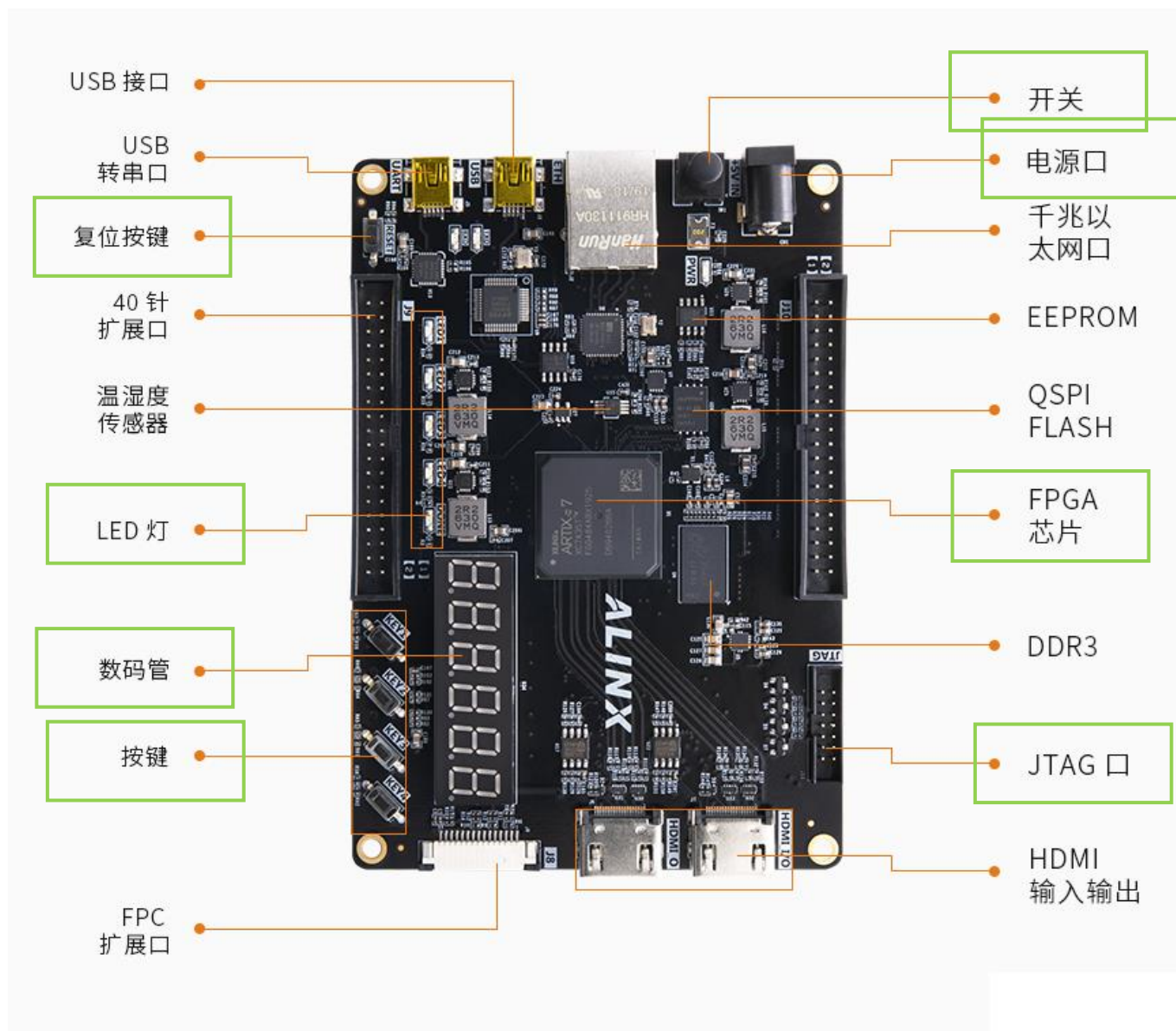
2022-2023学年秋季学期

第五部分-B-实验 Alinx AX7035t 开发板

授课团队：宋威

助 教：马浩

Alinx AX7035t 开发板



○FPGA

Xilinx Arty-7 系列 A35T, Xilinx第7代小型FPGA

官方文档: https://china.xilinx.com/content/dam/xilinx/support/documentation/data_sheets/ds180_7Series_Overview.pdf

具体型号: XC7A35T 封装: FGG484 速度: -2

- 33280逻辑单元
- 5200 slice
- 1.8Mb 片上SRAM

○我们会使用的外设

- 开关和电源 (USB-DC或者DC转换器)
- JTAG总线: 下载FPGA配置文件 (bitstream)
- 复位键和用户按键
- LED灯
- 7段数码管

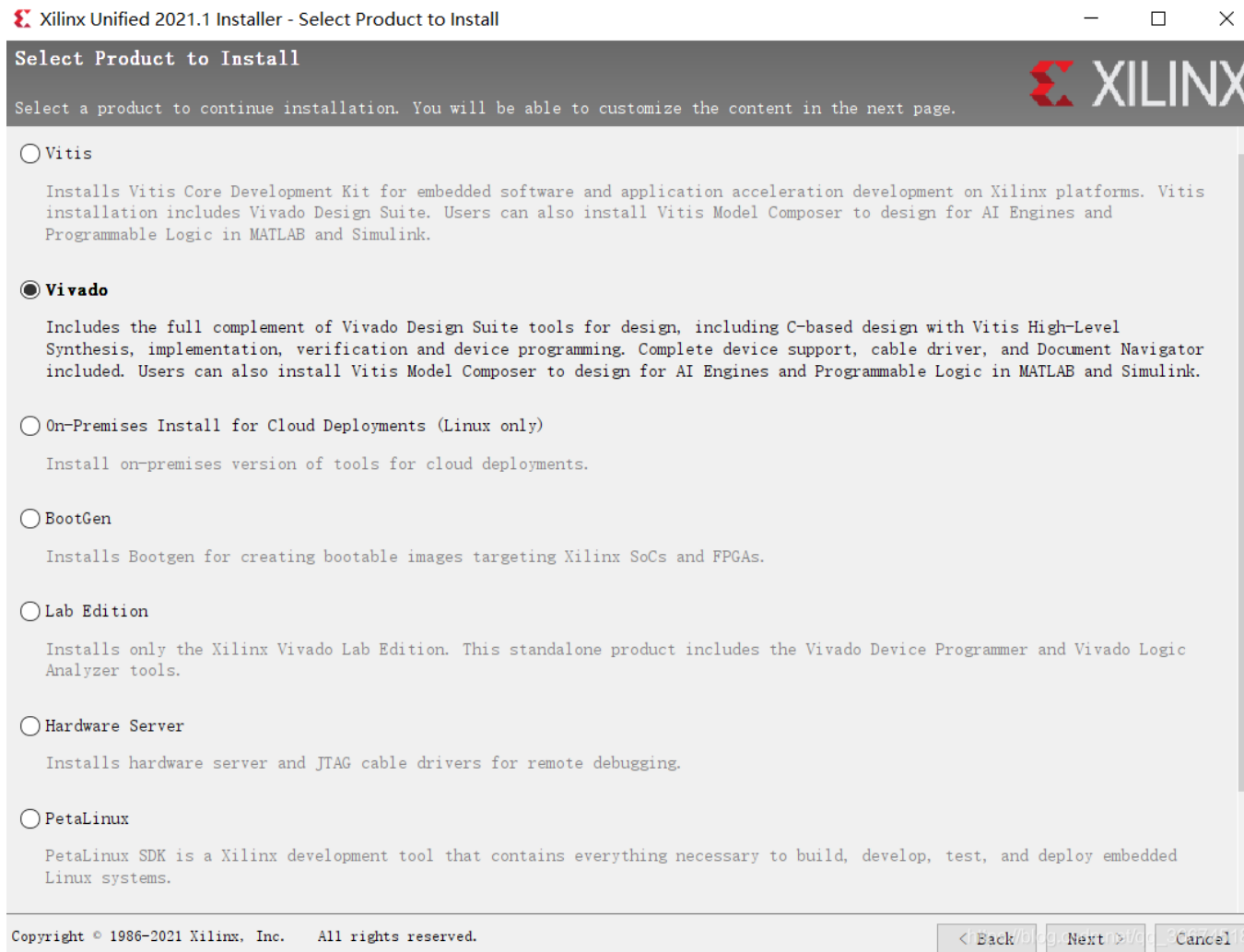
○使用Xilinx的Vivado设计工具

Vivado ML: Vivado v2021.1 (64-bit)

- 安装包 51.8GB!
提供USB优盘拷贝，找老师或者同学拷贝，不要下载
- 可以安装Windows版本或Linux版本，但要64-bit
- 不要在虚拟机内安装，如果必须这么做：
至少分4个逻辑处理器，8GB内存支持
- 不要安装在C盘，除非你只有一个盘且剩余空间大于100GB
- 不需要下载或申请License，直接使用

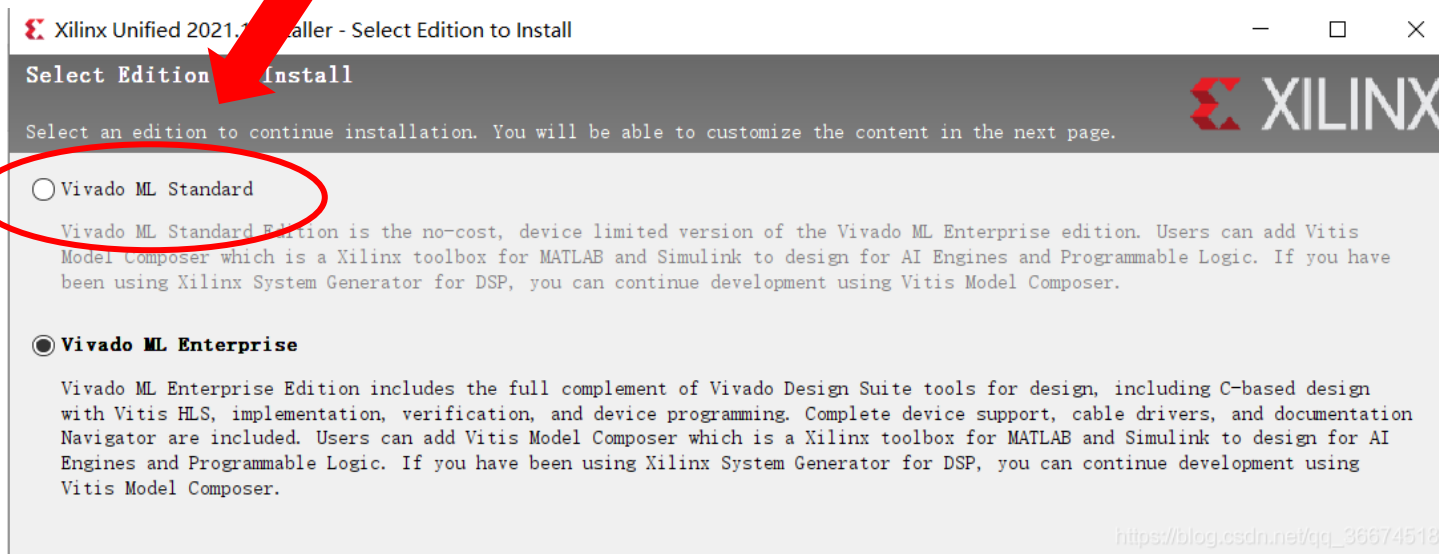
实验软件安装说明

○ 安装Vivado



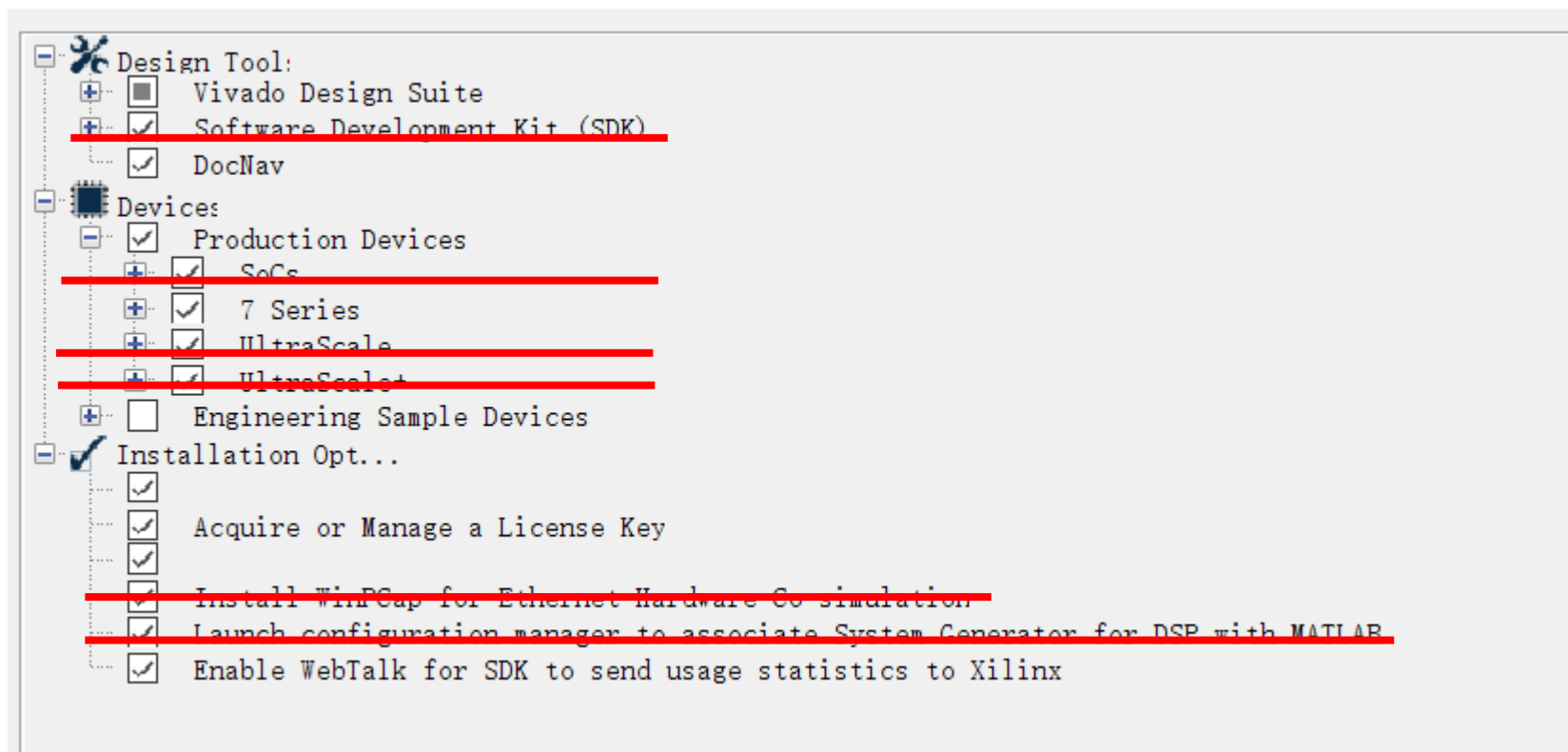
实验软件安装说明

○安装标准版，不要选企业版

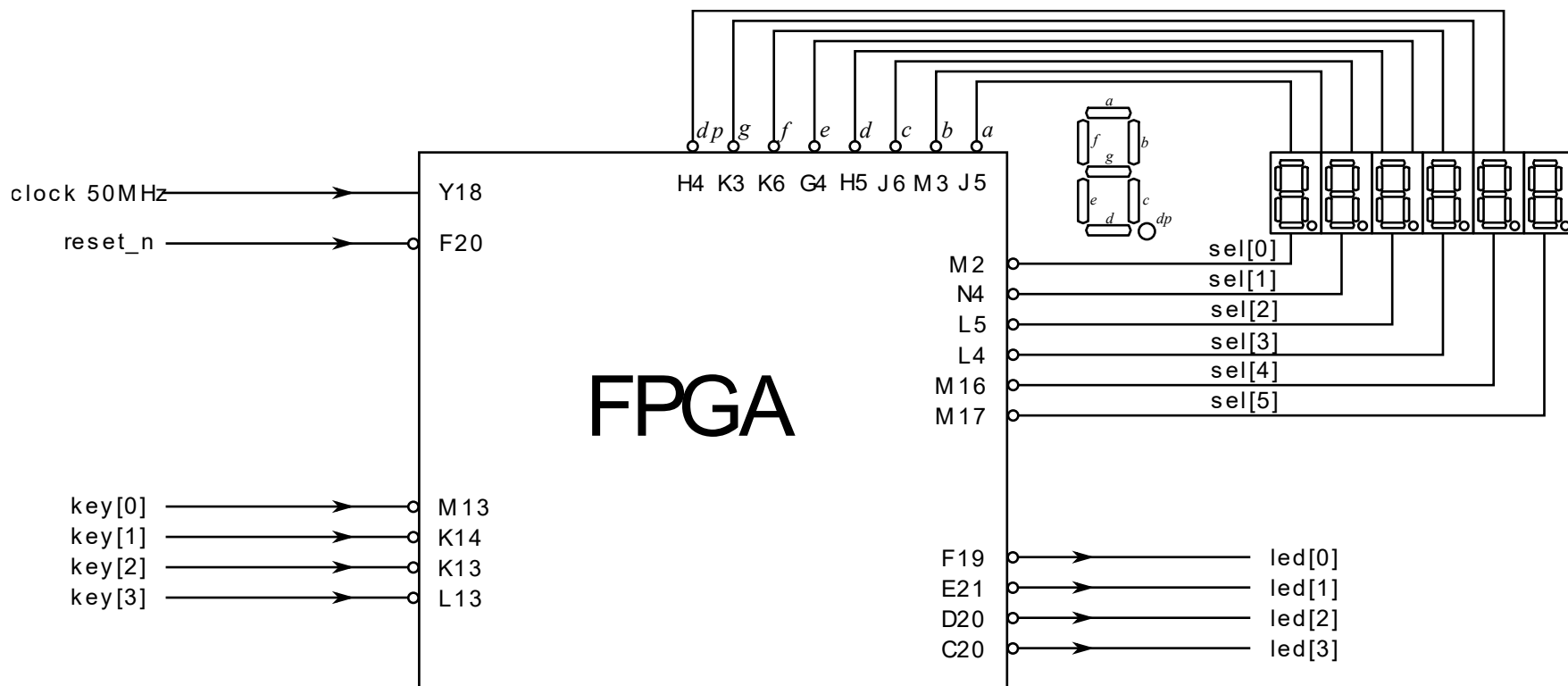


实验软件安装说明

- 如果为了节省磁盘空间，选择安装（不安装红线划掉的模块）



FPGA管脚连接



```
# clock 50MHz
```

```
set_property -dict { PACKAGE_PIN Y18 IOSTANDARD LVCMOS33 } [get_ports { clk }];
```

```
create_clock -add -name sys_clk_pin -period 20 -waveform {0 5} [get_ports {clk}];
```

```
# user key
```

```
set_property -dict { PACKAGE_PIN M13 IOSTANDARD LVCMOS33 } [get_ports { key[0] }];
```

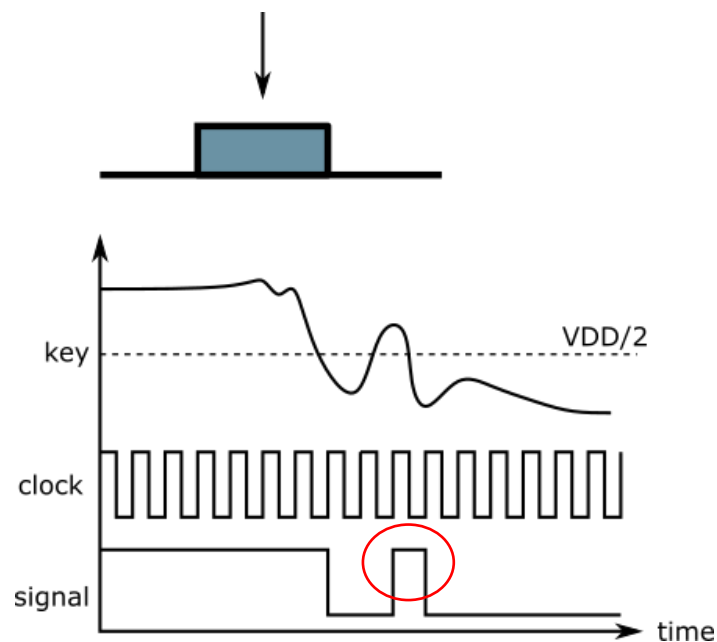
```
set_property -dict { PACKAGE_PIN K14 IOSTANDARD LVCMOS33 } [get_ports { key[1] }];
```

```
set_property -dict { PACKAGE_PIN K13 IOSTANDARD LVCMOS33 } [get_ports { key[2] }];
```

```
set_property -dict { PACKAGE_PIN L13 IOSTANDARD LVCMOS33 } [get_ports { key[3] }];
```

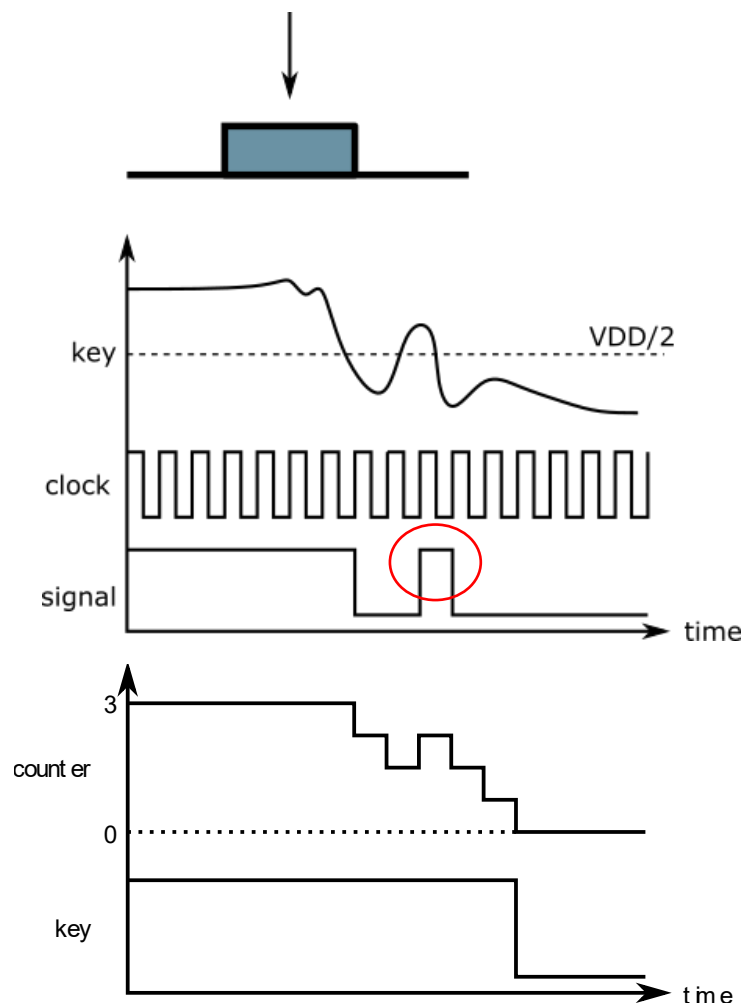

按键除抖

- 人类的按键信号噪声很大
 - 手抖，接触不良等等
- 解决思路：除抖电路
 - 其中的一种办法
 - 用一个饱和计数器去记录signal信号



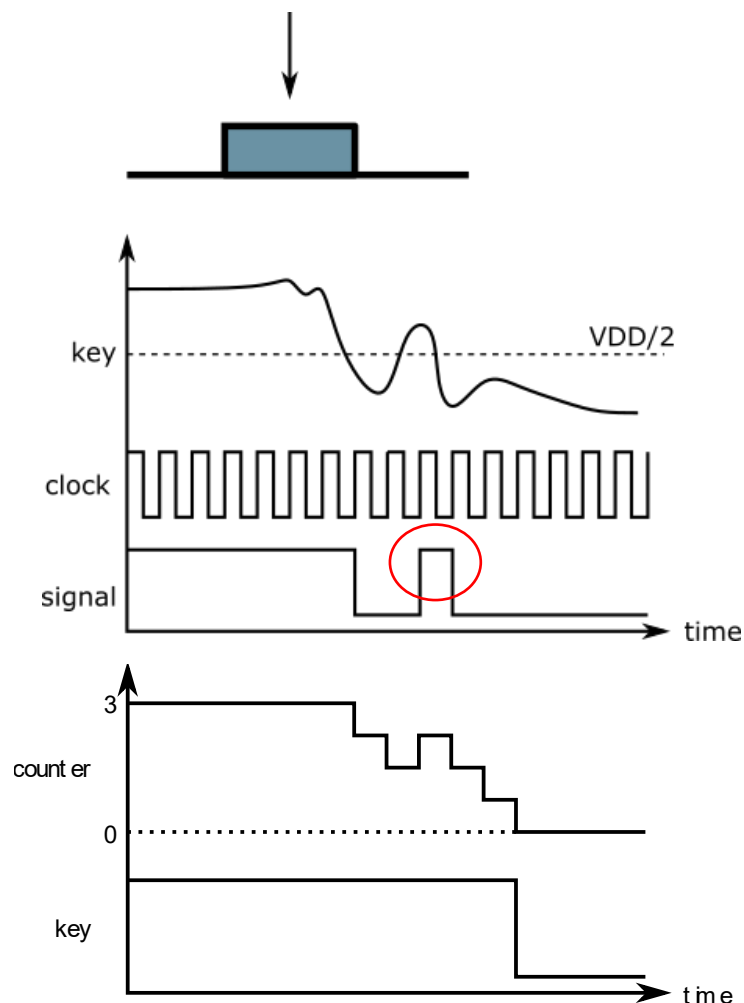
按键除抖

- 人类的按键信号噪声很大
 - 手抖，接触不良等等
- 解决思路：除抖电路
 - 其中的一种办法
 - 用一个饱和计数器去记录signal信号
 - 当计数器记到0，算检测到按键



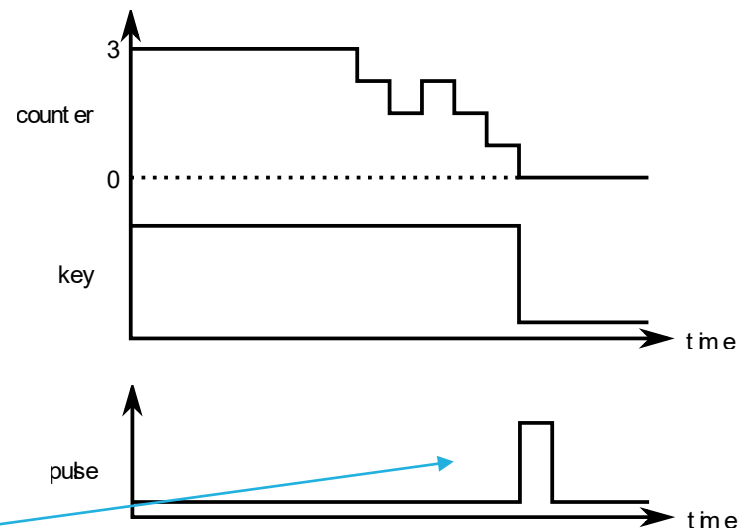
边沿检测

- 如何将一个电平信号转换成一个脉冲信号
 - 比如说我们想直接用key信号来记录按键被按了多少次
 - 直接用计数器检测key是不行的



边沿检测

- 如何将一个电平信号转换成一个脉冲信号
 - 比如说我们想直接用key信号来记录按键被按了多少次
 - 直接用计数器检测key是不行的
 - 需要的是一个维持一个周期的脉冲信号



边沿检测

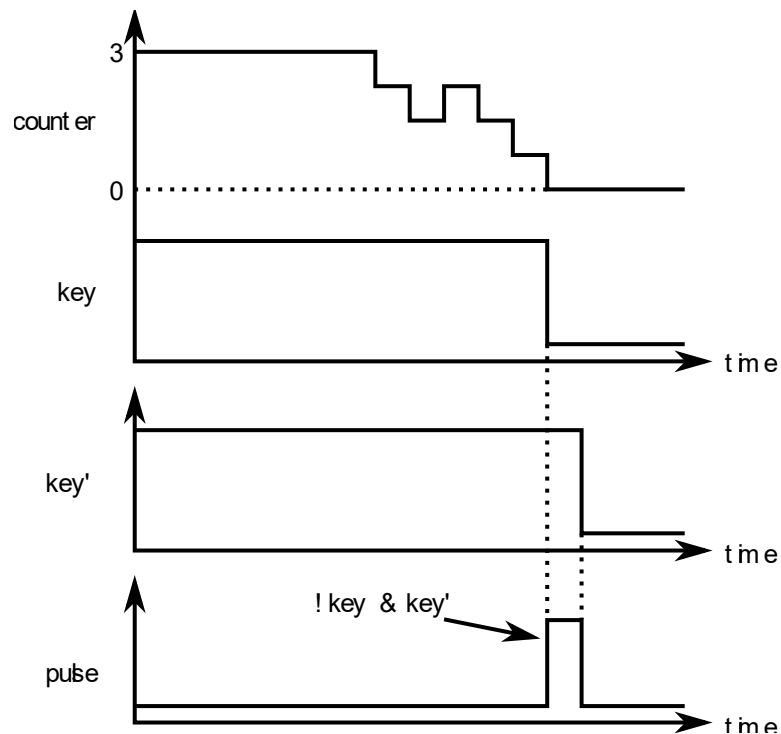
○如何将一个电平信号转换成一个脉冲信号

○比如说我们想直接用key信号来记录按键被按了多少次

○直接用计数器检测key是不行的

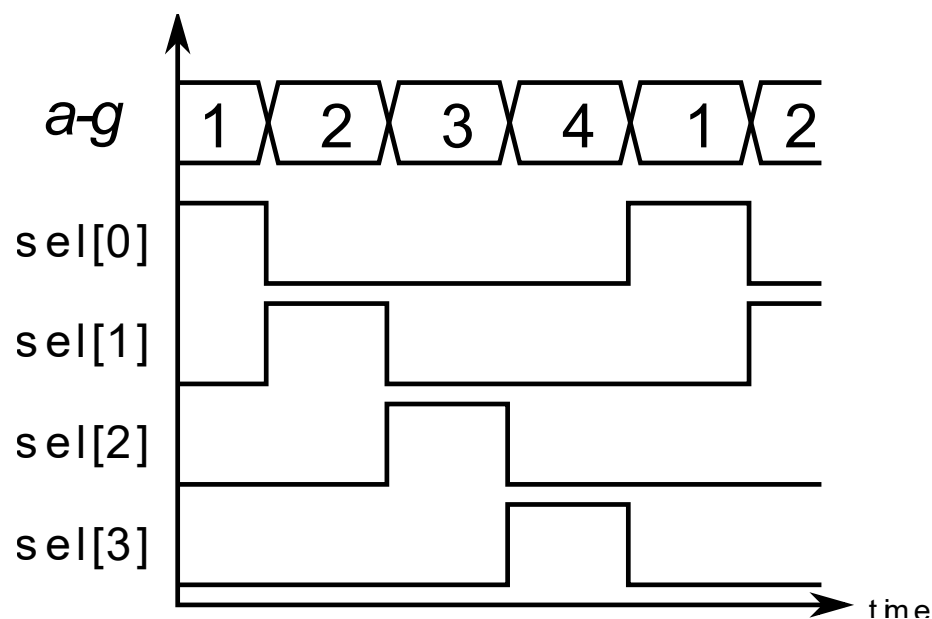
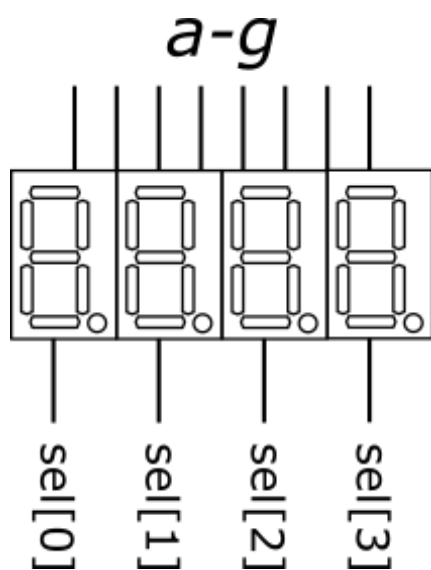
○需要的是一个维持一个周期的脉冲信号

○将key打一拍，然后取脉冲



数码管的驱动

- 数码管的数据总线是复用的
 - 数据总线a-g分时复用
 - 使能总线sel分时使能
 - 频率要合适



○工程基本信息

- 位置：Verilog-demo/ax7035/board-test
- 开启方式：双击board-test.xpr

○顶层端口定义

```
module top(  
    input clk, // 50MHz 时钟  
    input rstn, // 系统复位  
    output [3:0] led, // LED 显示输出  
    input [3:0] key, // 按键输入  
    output [5:0] seg_sel, // 7段数码管选通输出  
    output [7:0] seg_dig // 7段数码管数字输出  
);
```

○功能

- 当按键时，7段数码管显示的数字每周期增加1~8（按键选择）
- 释放按键时，7段数码管显示数字
- LED显示被按下的键
- 没有做抖动去除，按键没有做沿处理

实验大作业 (记最终平时成绩5分)

○素数循环显示

○利用4个按键，4个LED显示和6个7段数码管

○4个按钮选择循环模式

○模式0：上电默认，复位归零

○模式1：暂停

○模式2：递增，每秒变一次

○模式3：递减，每秒变一次

○模式4：递增，最快速度

○模式5：递减，最快速度

○4个LED显示当前模式

○6个七段数码管显示2到999999之间的素数

○不可以提前将素数计算好存储在FPGA内，必须运行时计算

○可利用board-test作为工程模板开发

独立完成!

每个小组独立完成，如果发现小组之间的代码出现大规模的雷同，两个小组的大作业都将按50%的成绩处理。

小组内只需要交一份源码和说明文档，请在说明文档上标注所有小组成员名单。大作业的最终提交日期为期末考试日期。过期不候。

本学期最后一节课回收开发板。