

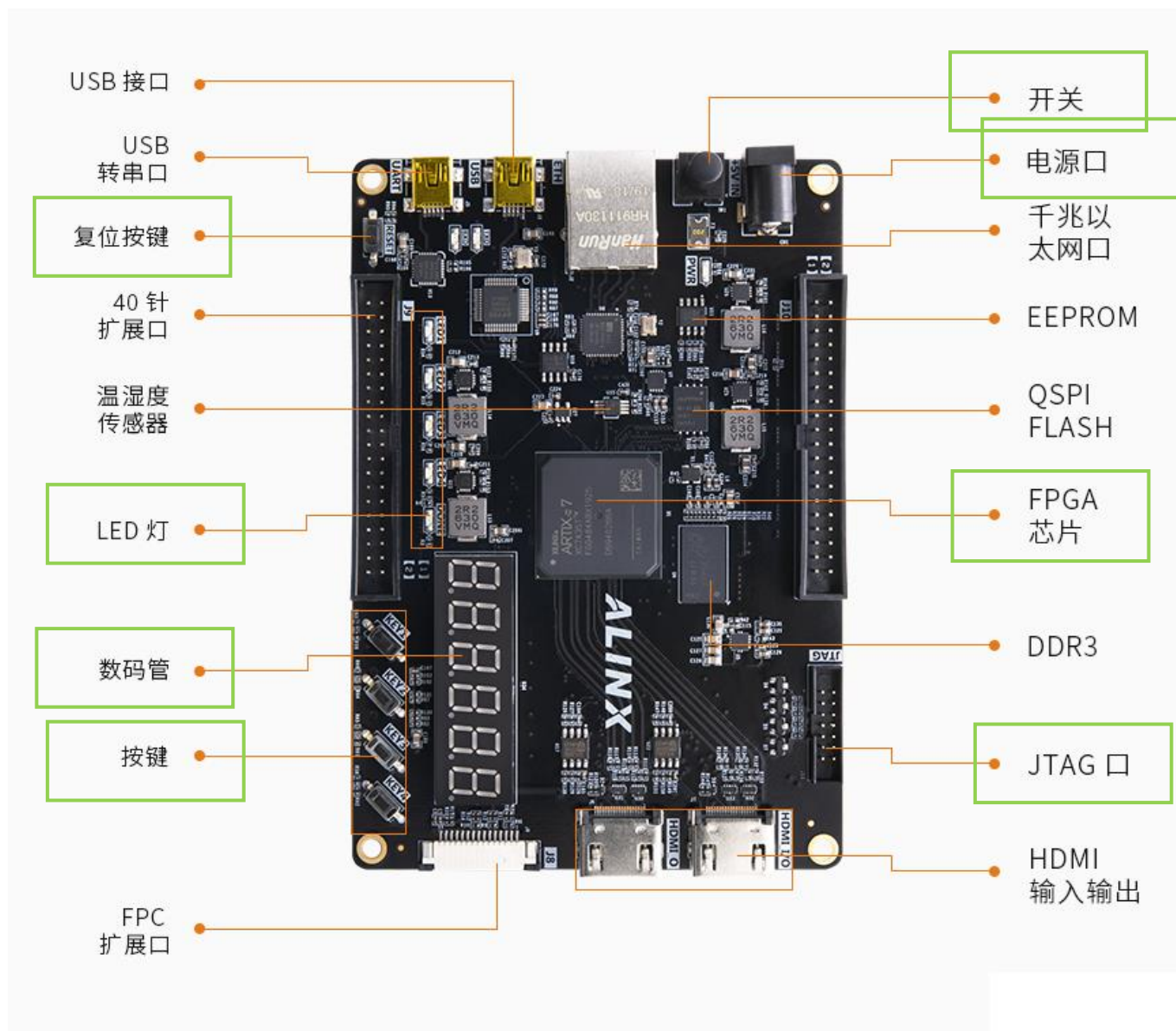
2021-2022学年秋季学期

第五部分-B-实验 Alinx AX7035t 开发板

授课团队：宋威

助 教：薛子涵

Alinx AX7035t 开发板



○FPGA

Xilinx Arty-7 系列 A35T, Xilinx第7代小型FPGA

官方文档: https://china.xilinx.com/content/dam/xilinx/support/documentation/data_sheets/ds180_7Series_Overview.pdf

具体型号: XC7A35T 封装: FGG484 速度: -2

- 33280逻辑单元
- 5200 slice
- 1.8Mb 片上SRAM

○我们会使用的外设

- 开关和电源 (USB-DC或者DC转换器)
- JTAG总线: 下载FPGA配置文件 (bitstream)
- 复位键和用户按键
- LED灯
- 7段数码管

○使用Xilinx的Vivado设计工具

Vivado ML: Vivado v2021.1 (64-bit)

- 安装包 51.8GB!
提供USB优盘拷贝，找老师或者同学拷贝，不要下载
- 可以安装Windows版本或Linux版本，但要64-bit
- 不要在虚拟机内安装，如果必须这么做：
至少分4个逻辑处理器，8GB内存支持
- 不要安装在C盘，除非你只有一个盘且剩余空间大于100GB
- 不需要下载或申请License，直接使用

实验软件安装说明

○ 安装Vivado

Xilinx Unified 2021.1 Installer - Select Product to Install

Select Product to Install

Select a product to continue installation. You will be able to customize the content in the next page.



Vitis

Installs Vitis Core Development Kit for embedded software and application acceleration development on Xilinx platforms. Vitis installation includes Vivado Design Suite. Users can also install Vitis Model Composer to design for AI Engines and Programmable Logic in MATLAB and Simulink.

Vivado

Includes the full complement of Vivado Design Suite tools for design, including C-based design with Vitis High-Level Synthesis, implementation, verification and device programming. Complete device support, cable driver, and Document Navigator included. Users can also install Vitis Model Composer to design for AI Engines and Programmable Logic in MATLAB and Simulink.

On-Premises Install for Cloud Deployments (Linux only)

Install on-premises version of tools for cloud deployments.

BootGen

Installs Bootgen for creating bootable images targeting Xilinx SoCs and FPGAs.

Lab Edition

Installs only the Xilinx Vivado Lab Edition. This standalone product includes the Vivado Device Programmer and Vivado Logic Analyzer tools.

Hardware Server

Installs hardware server and JTAG cable drivers for remote debugging.

PetaLinux

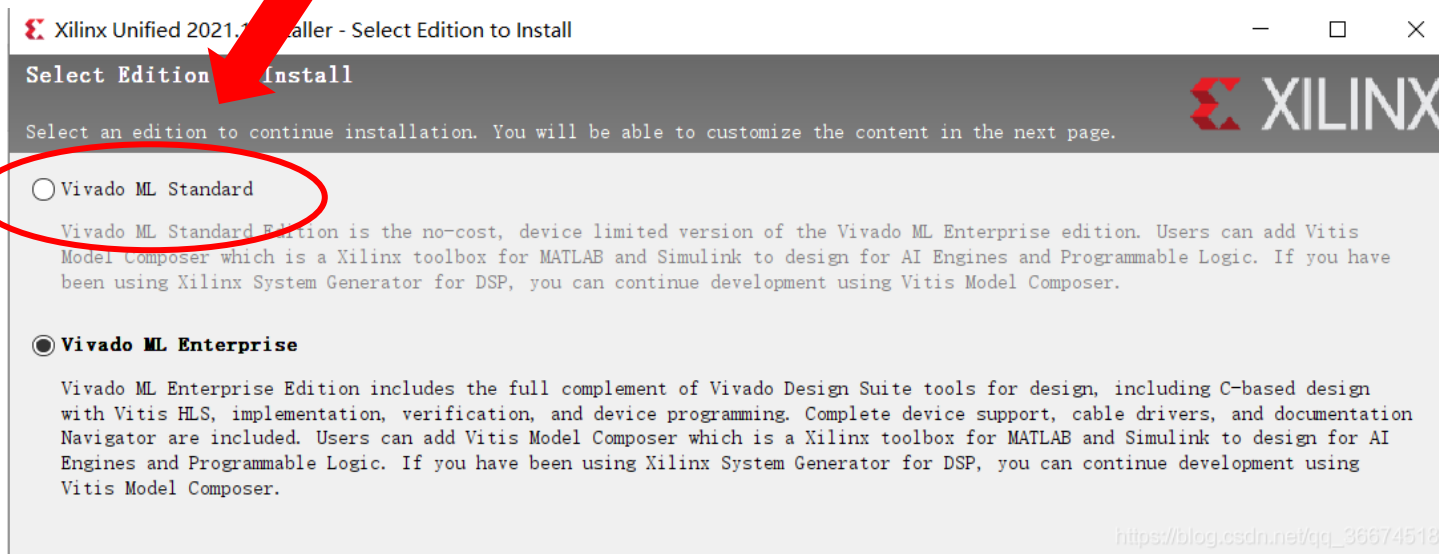
PetaLinux SDK is a Xilinx development tool that contains everything necessary to build, develop, test, and deploy embedded Linux systems.

Copyright © 1986-2021 Xilinx, Inc. All rights reserved.

< Back / Next > Cancel

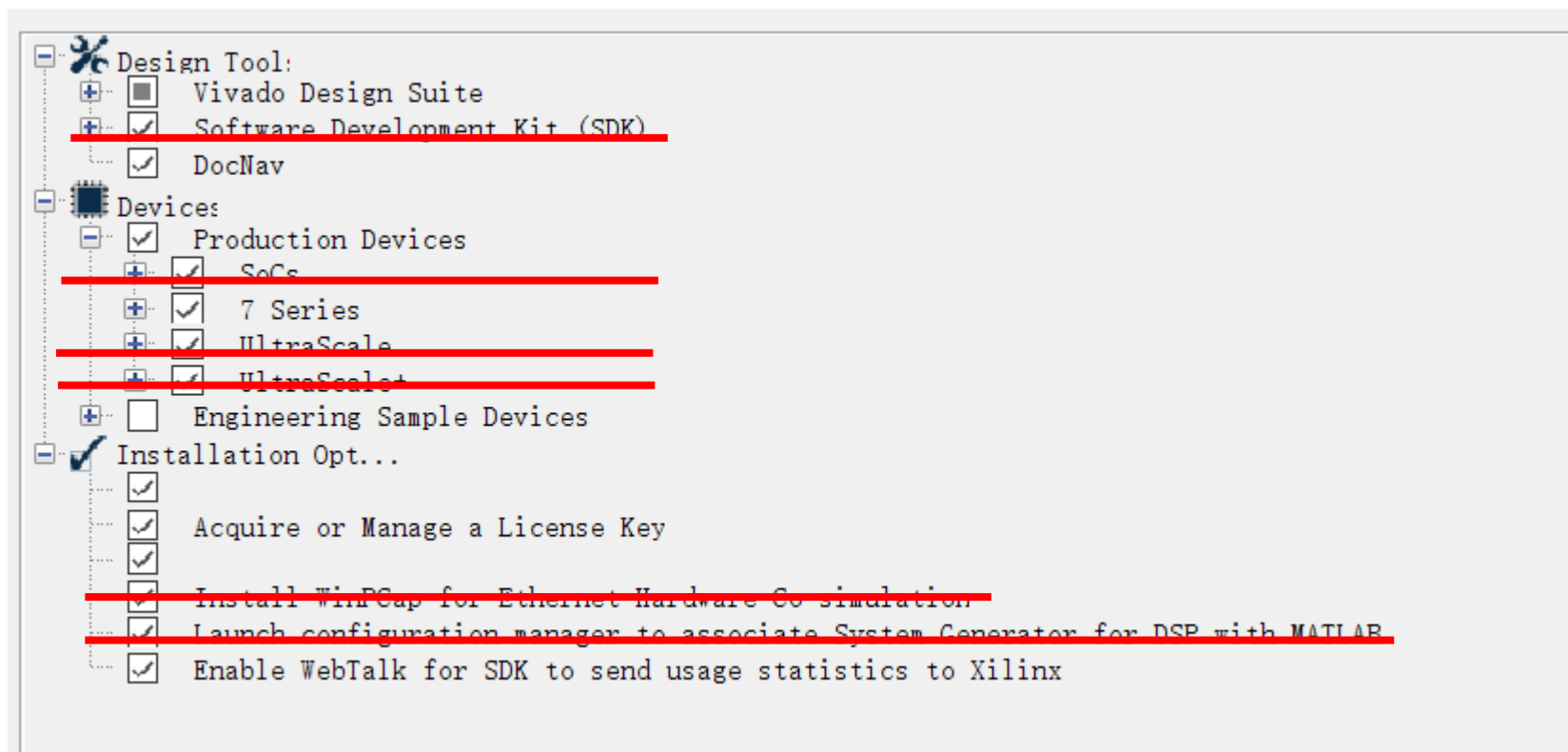
实验软件安装说明

○安装标准版，不要选企业版

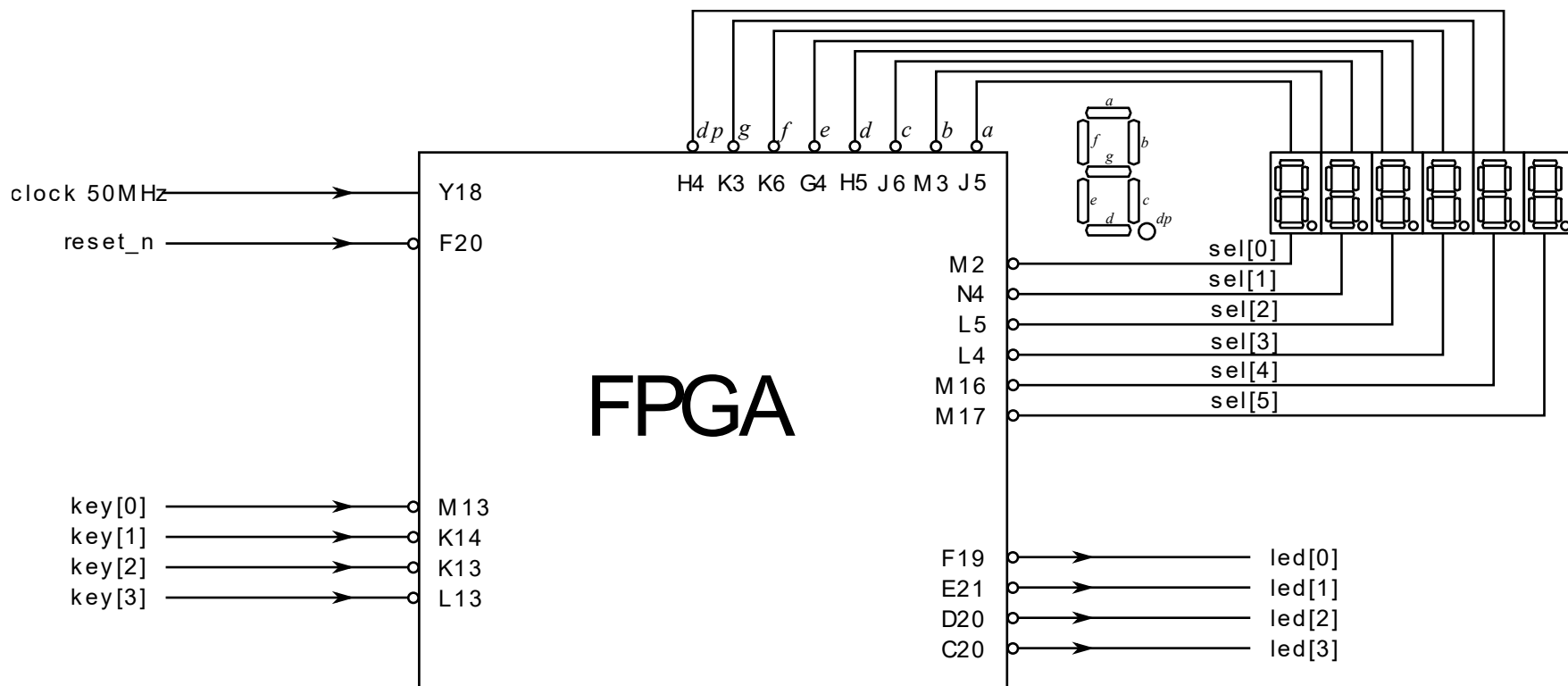


实验软件安装说明

- 如果为了节省磁盘空间，选择安装（不安装红线划掉的模块）



FPGA管脚连接



```
# clock 50MHz
```

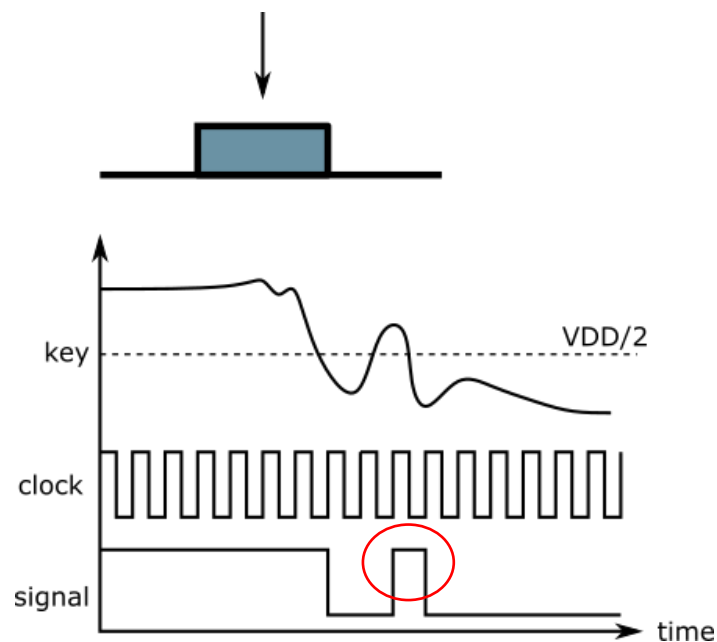
```
set_property -dict { PACKAGE_PIN Y18  IOSTANDARD LVCMOS33 } [get_ports { clk }];  
create_clock -add -name sys_clk_pin -period 20 -waveform {0 5} [get_ports {clk}];
```

```
# user key
```

```
set_property -dict { PACKAGE_PIN M13  IOSTANDARD LVCMOS33 } [get_ports { key[0] }];  
set_property -dict { PACKAGE_PIN K14  IOSTANDARD LVCMOS33 } [get_ports { key[1] }];  
set_property -dict { PACKAGE_PIN K13  IOSTANDARD LVCMOS33 } [get_ports { key[2] }];  
set_property -dict { PACKAGE_PIN L13  IOSTANDARD LVCMOS33 } [get_ports { key[3] }];
```

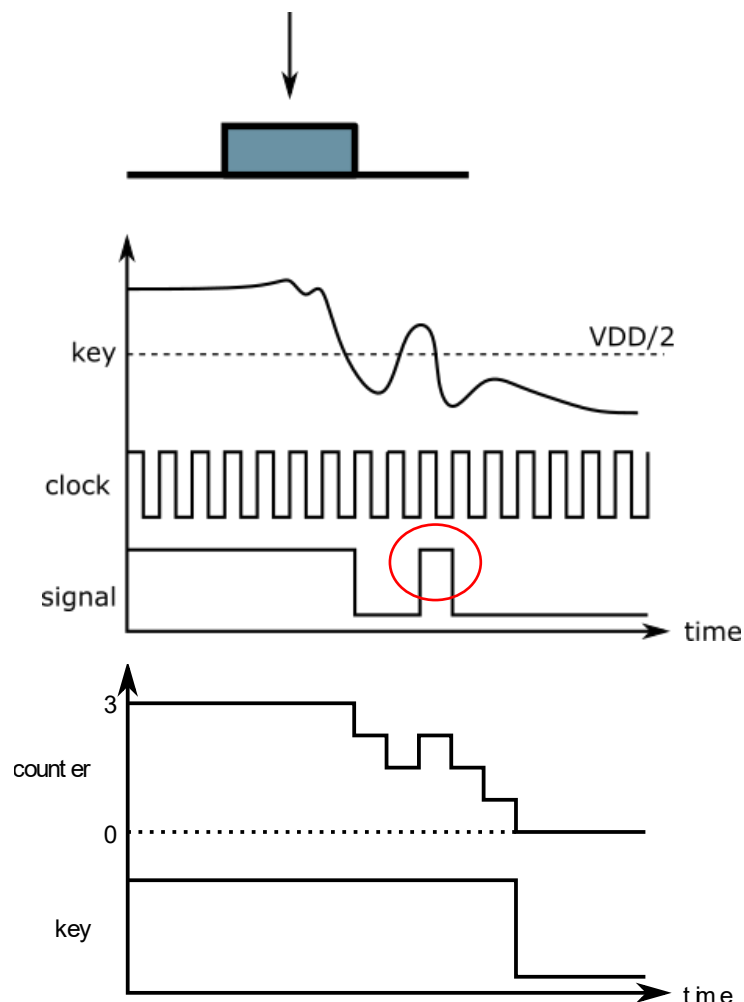

按键除抖

- 人类的按键信号噪声很大
 - 手抖，接触不良等等
- 解决思路：除抖电路
 - 其中的一种办法
 - 用一个饱和计数器去记录signal信号



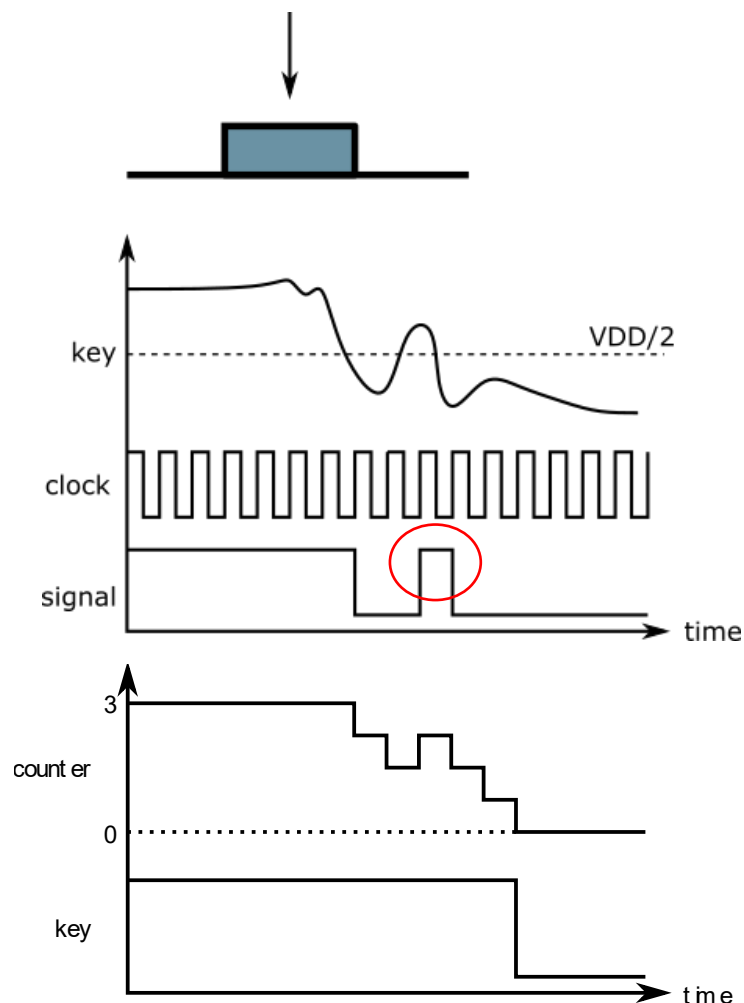
按键除抖

- 人类的按键信号噪声很大
 - 手抖，接触不良等等
- 解决思路：除抖电路
 - 其中的一种办法
 - 用一个饱和计数器去记录signal信号
 - 当计数器记到0，算检测到按键



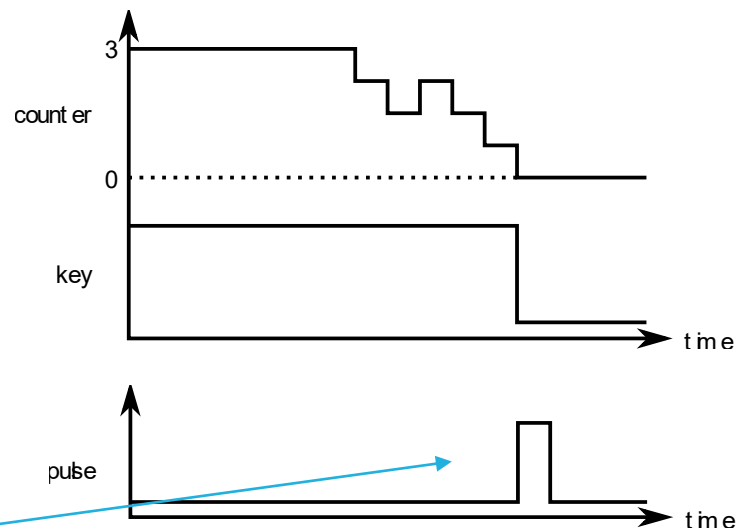
边沿检测

- 如何将一个电平信号转换成一个脉冲信号
 - 比如说我们想直接用key信号来记录按键被按了多少次
 - 直接用计数器检测key是不行的



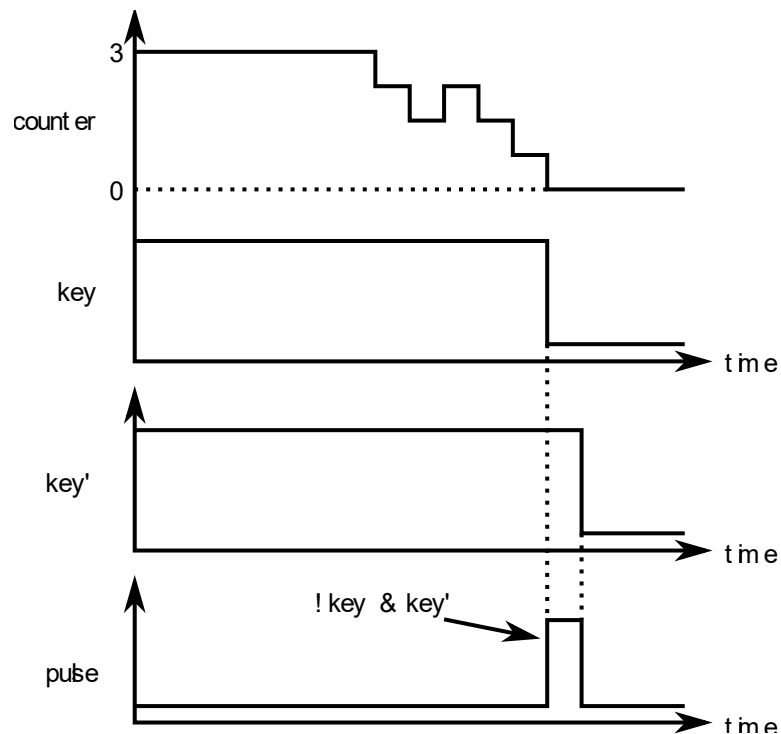
边沿检测

- 如何将一个电平信号转换成一个脉冲信号
 - 比如说我们想直接用key信号来记录按键被按了多少次
 - 直接用计数器检测key是不行的
 - 需要的是一个维持一个周期的脉冲信号



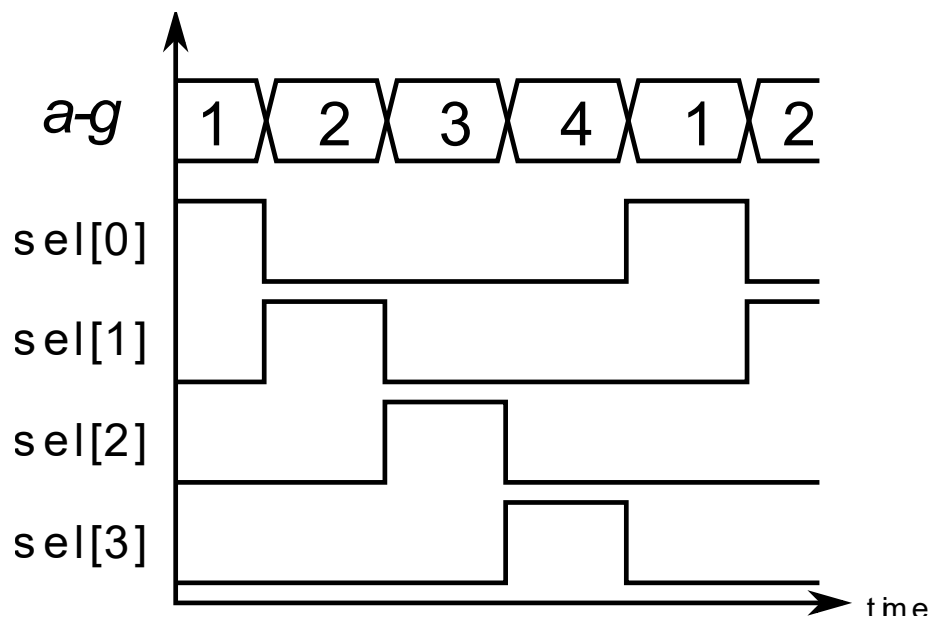
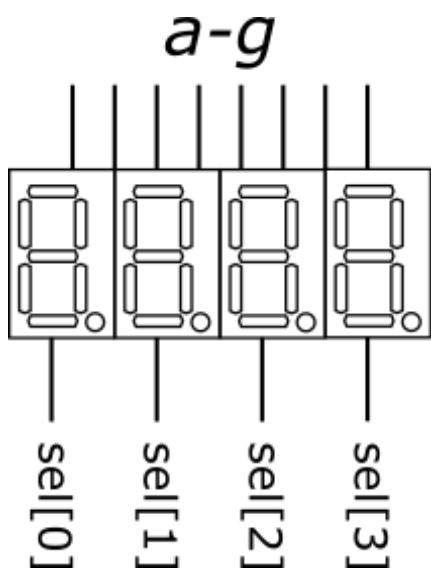
边沿检测

- 如何将一个电平信号转换成一个脉冲信号
 - 比如说我们想直接用key信号来记录按键被按了多少次
 - 直接用计数器检测key是不行的
 - 需要的是一个维持一个周期的脉冲信号
 - 将key打一拍，然后取脉冲



数码管的驱动

- 数码管的数据总线是复用的
 - 数据总线a-g分时复用
 - 使能总线sel分时使能
 - 频率要合适



关于大作业的建议

○多功能计时器

- 利用4个按键，4个LED显示和6个7段数码管

- 参考设计：

- 利用4个LED可最多显示16种工作状态

- 正向计时

- 反向计时

- 秒表

- 暂停

- 设置

- 利用按键甚至按键组合选择模式和设置时间

- 6个7段数码管

- 显示HH:MM:SS或者MM:SS:mm

- 到时闪烁