



(12)发明专利申请

(10)申请公布号 CN 111198838 A

(43)申请公布日 2020.05.26

(21)申请号 201911392277.2

(22)申请日 2019.12.30

(71)申请人 中国人民解放军军事科学院国防科
技创新研究院

地址 100071 北京市丰台区东大街53号院

(72)发明人 张光达 宋威 戴华东

(74)专利代理机构 北京安博达知识产权代理有
限公司 11271

代理人 徐国文

(51)Int.Cl.

G06F 13/42(2006.01)

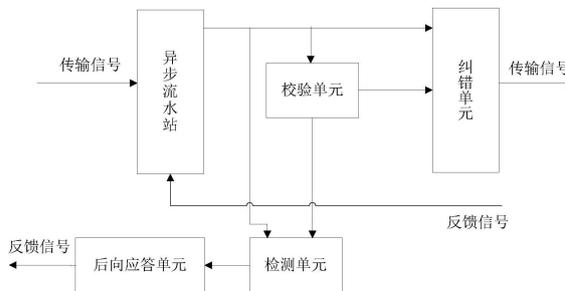
权利要求书3页 说明书11页 附图4页

(54)发明名称

一种双轨信号异步传输链路系统

(57)摘要

本发明涉及一种双轨信号异步传输链路系统,包括:级联的多个传输模块;传输模块包括:异步流水站,基于接收到的传输信号和反馈信号生成传输信号;校验单元,基于异步流水站发出的传输信号生成校验信号;纠错单元,基于校验单元发出的校验信号对异步流水站生成的传输信号进行纠错,并将纠错后的传输信号发送至下一级传输模块的异步流水站或外部接收设备;检测单元,基于校验单元发出的校验信号,以及异步流水站发出的传输信号发出检测信号;后向应答单元,基于检测单元发出的检测信号发出反馈信号;本发明能够容忍双轨信号异步传输链路上的1比特瞬时错误,保持了时序鲁棒性,具有配置灵活、链路利用率高、面积开销小的特点。



1. 一种双轨信号异步传输链路系统,其特征在于,所述系统包括:级联的多个传输模块;

所述传输模块包括:异步流水站、检测单元、校验单元、纠错单元和后向应答单元;

所述异步流水站,用于基于接收到的传输信号和反馈信号生成传输信号;所述接收到的传输信号由上一级传输模块的纠错单元或外部发送设备发出,所述反馈信号由下一级传输模块的后向应答单元或外部接收设备发出;

所述校验单元,用于基于异步流水站发出的传输信号生成校验信号;

所述纠错单元,用于基于校验单元发出的校验信号对异步流水站生成的传输信号进行纠错,并将纠错后的传输信号发送至下一级传输模块的异步流水站或外部接收设备;

所述检测单元,用于基于校验单元发出的校验信号,以及异步流水站发出的传输信号发出检测信号;

所述后向应答单元,用于基于检测单元发出的检测信号发出反馈信号。

2. 如权利要求1所述的结构,其特征在于,所述异步流水站包括:第一异步锁存器、第二异步锁存器、第三异步锁存器和第四异步锁存器;

其中,各异步锁存器均包括:第一C单元和第二C单元,各C单元均包括:第一输入端、第二输入端和输出端;

各异步锁存器的各C单元的第一输入端分别与上一级传输模块的纠错单元的一个输出端或外部发送设备的输出端连接;

各异步锁存器的各C单元的第二输入端均与下一级传输模块的后向应答单元的输出端或外部接收设备的输出端连接;

各异步锁存器的各C单元的输出端与所述检测单元的输入端和纠错单元的输入端连接。

3. 如权利要求2所述的结构,其特征在于,所述校验单元包括:第一校验生成器和第二校验生成器;

其中,所述第一校验生成器的输入端与所述第一异步锁存器和第二异步锁存器的输出端连接;

所述第二校验生成器的输入端与所述第三异步锁存器和第四异步锁存器的输出端连接;

各校验生成器的输出端均与纠错单元的输入端和检测单元的输入端连接。

4. 如权利要求3所述的结构,其特征在于,各校验生成器均为由第七C单元、第八C单元、第九C单元、第十C单元、第七或门电路和第八或门电路组成的双轨加法器;

其中,各校验生成器的输入端为其第七C单元、第八C单元、第九C单元和第十C单元的输入端;

各校验生成器的输出端为其第七或门电路和第八或门电路的输出端;

所述第七或门电路的输入端与所述第七C单元和第八C单元的输出端连接;

所述第八或门电路的输入端与所述第九C单元和第十C单元的输出端连接。

5. 如权利要求1所述的结构,其特征在于,所述检测单元包括:第一或门电路、第二或门电路、第三或门电路、第四或门电路、第五或门电路、第六或门电路、第三C单元、第四C单元、第五C单元、第六C单元和第七C单元;

其中,所述第一或门电路、第二或门电路、第三或门电路、第四或门电路、第五或门电路和第六或门电路均包括:第一输入端、第二输入端和输出端,所述第三C单元、第四C单元、第五C单元、第六C单元和第七C单元均包括:第一输入端、第二输入端和输出端;

所述第一或门电路、第二或门电路、第三或门电路和第四或门电路中各或门电路的输入端分别与异步流水站中与其编号对应的异步锁存器的输出端连接;

所述第三C单元的第一输入端和第二输入端分别与所述第一或门电路和第二或门电路的输出端连接;

所述第四C单元的第一输入端和第二输入端分别与所述第三或门电路和第四或门电路的输出端连接;

所述第五C单元的第一输入端和第二输入端分别与所述第三C单元和第四C单元的输出端连接;

所述第五或门电路的输入端与所述第一校验生成器的输出端连接;

所述第六或门电路的输入端均与所述第二校验生成器的输出端连接;

所述第六C单元的第一输入端和第二输入端分别与所述第五或门电路和第六或门电路的输出端连接;

所述第七C单元的第一输入端和第二输入端与所述第五C单元和第六C单元的输出端连接,所述第七C单元的输出端与所述后向应答单元的输入端连接。

6.如权利要求3所述的结构,其特征在于,所述纠错单元包括:第一错误纠正器、第二错误纠正器、第三错误纠正器、第四错误纠正器、第一错误过滤器、第二错误过滤器、第三错误过滤器和第四错误过滤器;

其中,所述第一错误纠正器的输入端与所述第二异步锁存器的输出端和所述第一校验生成器的输出端连接;

所述第二错误纠正器的输入端与所述第一异步锁存器的输出端和所述第一校验生成器的输出端连接;

所述第三错误纠正器的输入端与所述第四异步锁存器的输出端和所述第二校验生成器的输出端连接;

所述第四错误纠正器的输入端与所述第三异步锁存器的输出端和所述第二校验生成器的输出端连接;

各错误过滤器的输入端与异步流水站中与错误过滤器编号对应的异步锁存器的输出端和与错误过滤器编号对应的错误纠正器的输出端连接。

7.如权利要求6所述的结构,其特征在于,所述第一错误纠正器、第二错误纠正器、第三错误纠正器和第四错误纠正器均为由第十一C单元、第十二C单元、第十三C单元、第十四C单元、第九或门电路和第十或门电路组成的双轨加法器;

其中,各错误纠正器的输入端为其第十一C单元、第十二C单元、第十三C单元和第十四C单元的输入端;

各错误纠正器的输出端为其第九或门电路和第十或门电路的输出端;

所述第九或门电路的输入端与所述第十一C单元和第十二C单元的输出端连接;

所述第十或门电路的输入端与所述第十三C单元和第十四C单元的输出端连接。

8.如权利要求7所述的结构,其特征在于,所述第一错误过滤器、第二错误过滤器、第三

错误过滤器和第四错误过滤器均包括：第一C单元和第二C单元；

其中，各C单元均包括：第一输入端、第二输入端和输出端；

各错误过滤器的第一C单元的第一输入端和第二输入端分别与异步流水站中与错误过滤器编号对应的异步锁存器的第一C单元的输出端和异步流水站中与错误过滤器编号对应的错误纠正器的第九或门电路的输出端连接；

各错误过滤器的第二C单元的第一输入端和第二输入端分别与异步流水站中与错误过滤器编号对应的异步锁存器的第二C单元的输出端和异步流水站中与错误过滤器编号对应的错误纠正器的第十或门电路的输出端连接；

各错误过滤器的第一C单元和第二C单元的输出端与下一级传输模块的异步流水站中与错误过滤器编号对应的异步锁存器的输入端或外部接收设备的输入端连接。

9. 如权利要求1所述的结构，其特征在于，所述后向应答单元包括：非门单元；

其中，所述非门单元的输入端连接所述检测单元的输出端，所述非门单元的输出端与上一级传输模块异步流水站的输入端或外部发送设备的输入端连接。

一种双轨信号异步传输链路系统

技术领域

[0001] 本发明涉及集成电路技术领域,具体涉及一种双轨信号异步传输链路系统。

背景技术

[0002] 半导体工艺的不断发展允许单个芯片集成越来越多的晶体管与金属线,不断提升处理器性能。然而,单纯依靠工艺进步提高处理器性能已经无法满足快速增长的计算需求,设计复杂单核处理器面临的功耗剧增和收益递减等问题使得业界转向采用多核设计,多核技术已经成为当前处理器芯片提高性能的主要手段。多核芯片对于片上互连提出更高要求,需要具备高性能、低功耗、高可扩展、高可靠等特性。典型的片上互连包括传统总线、点对点互连、片上网络等结构。在具体实现中,片上互连电路通常被设计成流水线结构以提高其性能。随着多核芯片规模的继续增大,采用同步流水线的方式设计片上互连面临的挑战将更加突出,异步流水线成为设计片上互连的重要选择。

[0003] 异步流水线的核心是异步电路。与同步电路不同,异步电路没有全局时钟,采用异步握手协议而非时钟信号控制模块之间的通信,其事件驱动或者数据驱动特性,避免了全局时钟分布导致的跨时钟域问题,使其具有低动态功耗、时序健壮、良好电磁兼容性、良好扩展性、支持模块化设计等优点,有效克服传统同步流水线面临的一系列问题与挑战。

[0004] 在电路的容错能力方面,伴随着半导体工艺尺寸的大幅度减小,芯片电源电压不断降低,时钟频率不断提高,芯片密度持续增大,电子器件对环境变化更为敏感,各类噪声源、高能粒子辐射等更容易引发信号延迟和瞬时翻转,信号延迟变化导致的时序错误,以及信号错误翻转导致的瞬时逻辑错误,发生的概率大幅增加。这些都对芯片的可靠性带来较大负面影响,尽管容错已经成为芯片或集成电路高度重视且不可或缺的评估指标,但面向异步电路的容错技术较少,异步电路的容错技术与方法尚处于发展阶段。异步电路、异步流水线容易发生错误,威胁电路与芯片的正常功能,使用容错设计提高容错能力对于异步流水线的实际应用至关重要。

[0005] 使用4段握手协议与双轨编码方式实现的准延迟不敏感类型的异步流水线能够有效克服时序错误,对于大规模长距片上通信非常有吸引力,但是在瞬时错误面前,往往表现出更为复杂的故障场景,一个1比特位瞬时错误不仅能够污染数据,还能够翻转握手信号,扰乱甚至破坏握手过程,导致异步流水线死锁,严重威胁系统的可靠性。当前已有的瞄准异步流水线容忍瞬时错误的技术方法,往往借用同步电路的容错技术,在获得容错能力的同时,破坏了其自身原有的时序鲁棒性,难以同时获得容错能力与时序鲁棒性,限制了其应用范围。

发明内容

[0006] 针对现有技术的不足,本发明的目的是提供一种低复杂度、可扩展、能够容忍瞬时错误的双轨信号传输链路系统,同时保证异步流水线的时序鲁棒性与容错能力,解决现有技术中准延迟不敏感异步流水线存在的问题。

[0007] 本发明的目的是采用下述技术方案实现的：

[0008] 本发明提供一种双轨信号异步传输链路系统，其改进之处在于，所述系统包括：级联的多个传输模块；

[0009] 所述异步流水站，用于基于接收到的传输信号和反馈信号生成传输信号；所述接收到的传输信号由上一级传输模块的纠错单元或外部发送设备发出，所述反馈信号由下一级传输模块的后向应答单元或外部接收设备发出；

[0010] 所述校验单元，用于基于异步流水站发出的传输信号生成校验信号；

[0011] 所述纠错单元，用于基于校验单元发出的校验信号对异步流水站生成的传输信号进行纠错，并将纠错后的传输信号发送至下一级传输模块的异步流水站或外部接收设备；

[0012] 所述检测单元，用于基于校验单元发出的校验信号，以及异步流水站发出的传输信号发出检测信号；

[0013] 所述后向应答单元，用于基于检测单元发出的检测信号发出反馈信号。

[0014] 优选的，所述异步流水站包括：第一异步锁存器、第二异步锁存器、第三异步锁存器和第四异步锁存器；

[0015] 其中，各异步锁存器均包括：第一C单元和第二C单元，各C单元均包括：第一输入端、第二输入端和输出端；

[0016] 各异步锁存器的各C单元的第一输入端分别与上一级传输模块的纠错单元的一个输出端或外部发送设备的输出端连接；

[0017] 各异步锁存器的各C单元的第二输入端均与下一级传输模块的后向应答单元的输出端或外部接收设备的输出端连接；

[0018] 各异步锁存器的各C单元的输出端与所述检测单元的输入端和纠错单元的输入端连接。

[0019] 进一步的，所述校验单元包括：第一校验生成器和第二校验生成器；

[0020] 其中，所述第一校验生成器的输入端与所述第一异步锁存器和第二异步锁存器的输出端连接；

[0021] 所述第二校验生成器的输入端与所述第三异步锁存器和第四异步锁存器的输出端连接；

[0022] 各校验生成器的输出端均与纠错单元的输入端和检测单元的输入端连接。

[0023] 进一步的，各校验生成器均为由第七C单元、第八C单元、第九C单元、第十C单元、第七或门电路和第八或门电路组成的双轨加法器；

[0024] 其中，各校验生成器的输入端为其第七C单元、第八C单元、第九C单元和第十C单元的输入端；

[0025] 各校验生成器的输出端为其第七或门电路和第八或门电路的输出端；

[0026] 所述第七或门电路的输入端与所述第七C单元和第八C单元的输出端连接；

[0027] 所述第八或门电路的输入端与所述第九C单元和第十C单元的输出端连接。

[0028] 优选的，所述检测单元包括：第一或门电路、第二或门电路、第三或门电路、第四或门电路、第五或门电路、第六或门电路、第三C单元、第四C单元、第五C单元、第六C单元和第七C单元；

[0029] 其中，所述第一或门电路、第二或门电路、第三或门电路、第四或门电路、第五或门

电路和第六或门电路均包括：第一输入端、第二输入端和输出端，所述第三C单元、第四C单元、第五C单元、第六C单元和第七C单元均包括：第一输入端、第二输入端和输出端；

[0030] 所述第一或门电路、第二或门电路、第三或门电路和第四或门电路中各或门电路的输入端分别与异步流水站中与其编号对应的异步锁存器的输出端连接；

[0031] 所述第三C单元的第一输入端和第二输入端分别与所述第一或门电路和第二或门电路的输出端连接；

[0032] 所述第四C单元的第一输入端和第二输入端分别与所述第三或门电路和第四或门电路的输出端连接；

[0033] 所述第五C单元的第一输入端和第二输入端分别与所述第三C单元和第四C单元的输出端连接；

[0034] 所述第五或门电路的输入端与所述第一校验生成器的输出端连接；

[0035] 所述第六或门电路的输入端均与所述第二校验生成器的输出端连接；

[0036] 所述第六C单元的第一输入端和第二输入端分别与所述第五或门电路和第六或门电路的输出端连接；

[0037] 所述第七C单元的第一输入端和第二输入端与所述第五C单元和第六C单元的输出端连接，所述第七C单元的输出端与所述后向应答单元的输入端连接。

[0038] 进一步的，所述纠错单元包括：第一错误纠正器、第二错误纠正器、第三错误纠正器、第四错误纠正器、第一错误过滤器、第二错误过滤器、第三错误过滤器和第四错误过滤器；

[0039] 其中，所述第一错误纠正器的输入端与所述第二异步锁存器的输出端和所述第一校验生成器的输出端连接；

[0040] 所述第二错误纠正器的输入端与所述第一异步锁存器的输出端和所述第一校验生成器的输出端连接；

[0041] 所述第三错误纠正器的输入端与所述第四异步锁存器的输出端和所述第二校验生成器的输出端连接；

[0042] 所述第四错误纠正器的输入端与所述第三异步锁存器的输出端和所述第二校验生成器的输出端连接；

[0043] 各错误过滤器的输入端与异步流水站中与错误过滤器编号对应的异步锁存器的输出端和与错误过滤器编号对应的错误纠正器的输出端连接。

[0044] 进一步的，所述第一错误纠正器、第二错误纠正器、第三错误纠正器和第四错误纠正器均为由第十一C单元、第十二C单元、第十三C单元、第十四C单元、第九或门电路和第十或门电路组成的双轨加法器；

[0045] 其中，各错误纠正器的输入端为其第十一C单元、第十二C单元、第十三C单元和第十四C单元的输入端；

[0046] 各错误纠正器的输出端为其第九或门电路和第十或门电路的输出端；

[0047] 所述第九或门电路的输入端与所述第十一C单元和第十二C单元的输出端连接；

[0048] 所述第十或门电路的输入端与所述第十三C单元和第十四C单元的输出端连接。

[0049] 进一步的，所述第一错误过滤器、第二错误过滤器、第三错误过滤器和第四错误过滤器均包括：第一C单元和第二C单元；

- [0050] 其中,各C单元均包括:第一输入端、第二输入端和输出端;
- [0051] 各错误过滤器的第一C单元的第一输入端和第二输入端分别与异步流水站中与错误过滤器编号对应的异步锁存器的第一C单元的输出端和异步流水站中与错误过滤器编号对应的错误纠正器的第九或门电路的输出端连接;
- [0052] 各错误过滤器的第二C单元的第一输入端和第二输入端分别与异步流水站中与错误过滤器编号对应的异步锁存器的第二C单元的输出端和异步流水站中与错误过滤器编号对应的错误纠正器的第十或门电路的输出端连接;
- [0053] 各错误过滤器的第一C单元和第二C单元的输出端与下一级传输模块的异步流水站中与错误过滤器编号对应的异步锁存器的输入端或外部接收设备的输入端连接。
- [0054] 优选的,所述后向应答单元包括:非门单元;
- [0055] 其中,所述非门单元的输入端连接所述检测单元的输出端,所述非门单元的输出端与上一级传输模块异步流水站的输入端或外部发送设备的输入端连接。
- [0056] 与最接近的现有技术相比,本发明具有的有益效果:
- [0057] 本发明涉及一种双轨信号异步传输链路系统,包括:级联的多个传输模块;传输模块包括:异步流水站、检测单元、校验单元、纠错单元和后向应答单元;所述异步流水站,用于基于接收到的传输信号和反馈信号生成传输信号;所述接收到的传输信号由上一级传输模块的纠错单元或外部发送设备发出,所述反馈信号由下一级传输模块的后向应答单元或外部接收设备发出;所述校验单元,用于基于异步流水站发出的传输信号生成校验信号;所述纠错单元,用于基于校验单元发出的校验信号对异步流水站生成的传输信号进行纠错,并将纠错后的传输信号发送至下一级传输模块的异步流水站或外部接收设备;所述检测单元,用于基于校验单元发出的校验信号,以及异步流水站发出的传输信号发出检测信号;所述后向应答单元,用于基于检测单元发出的检测信号发出反馈信号;本发明能够容忍双轨信号异步传输链路上的1比特瞬时错误,保持了时序鲁棒性,具有灵活可配置、链路利用率高、面积开销小的特点。

附图说明

- [0058] 图1是本发明双轨信号传输链路系统示意图;
- [0059] 图2是本发明实施例中双轨信号传输链路系统示意图;
- [0060] 图3a是本发明实施例中第一校验生成器的示意图;
- [0061] 图3b是本发明实施例中第二校验生成器的示意图;
- [0062] 图4是本发明实施例中检测单元的示意图;
- [0063] 图5a是本发明实施例中第一错误纠正器的示意图;
- [0064] 图5b是本发明实施例中第二错误纠正器的示意图;
- [0065] 图5c是本发明实施例中第三错误纠正器的示意图;
- [0066] 图5d是本发明实施例中第四错误纠正器的示意图;
- [0067] 图6是本发明实施例中错误过滤器的示意图。

具体实施方式

- [0068] 下面结合附图对本发明的具体实施方式作进一步的详细说明。

[0069] 为使本发明实施例的目的、技术方案和优点更加清楚,下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其它实施例,都属于本发明保护的范围。

[0070] 本发明提供一种双轨信号异步传输链路系统,所述系统包括:级联的多个传输模块;

[0071] 如图1所示,所述传输模块包括:异步流水站、检测单元、校验单元、纠错单元和后向应答单元;

[0072] 所述异步流水站,用于基于接收到的传输信号和反馈信号生成传输信号;所述接收到的传输信号由上一级传输模块的纠错单元或外部发送设备发出,所述反馈信号由下一级传输模块的后向应答单元或外部接收设备发出;

[0073] 所述校验单元,用于基于异步流水站发出的传输信号生成校验信号;

[0074] 所述纠错单元,用于基于校验单元发出的校验信号对异步流水站生成的传输信号进行纠错,并将纠错后的传输信号发送至下一级传输模块的异步流水站或外部接收设备;

[0075] 所述检测单元,用于基于校验单元发出的校验信号,以及异步流水站发出的传输信号发出检测信号;

[0076] 所述后向应答单元,用于基于检测单元发出的检测信号发出反馈信号。

[0077] 为更加清楚的表明本发明的目的,下面结合具体实施例对本发明的方案做一进一步解释。

[0078] 在本发明的实施例中,上述异步流水站包括:第一异步锁存器、第二异步锁存器、第三异步锁存器和第四异步锁存器;

[0079] 其中,各异步锁存器均包括:第一C单元和第二C单元,各C单元均包括:第一输入端、第二输入端和输出端;

[0080] 各异步锁存器的各C单元的第一输入端分别与上一级传输模块的纠错单元的一个输出端连接;

[0081] 各异步锁存器的各C单元的第二输入端均与下一级传输模块的后向应答单元的输出端连接;

[0082] 各异步锁存器的各C单元的输出端与所述检测单元的输入端和纠错单元的输入端连接。

[0083] 其中,C单元的一个输入是接收到的传输信号,另一个输入是反馈信号。

[0084] 在4段握手协议执行中,基于双轨信号编码协议,传输系统传输的数据会交替经历一个“置位”和“复位”的过程,原理如下:

[0085] “置位”时,根据要传输的数据和双轨数据编码协议,每个异步锁存器的一个C单元的输出逐渐变为1,“置位”完成即表示当前异步流水站中所有异步锁存器的其中一个C单元的输出由0翻转为1,该流水站接收到一个完整的双轨数据,此时,反馈信号值为1;

[0086] “复位”时,异步流水站所有C单元的输出逐渐变为0,“复位”完成即表示流水站所有的C单元的输出为0,此时,反馈信号值为0。

[0087] 如图2所示,各异步锁存器的输出端为 d_1 、 d_2 、 d_3 、 d_4 , d_i 包括 $d_{i,0}$ 和 $d_{i,1}$, $i \in [1, 4]$, CD_0 为检测单元。

[0088] 本发明根据异步流水线设计的容错能力需求目标,在准延迟不敏感异步传输基础链路系统的基础上,增加支持容错的校验单元和纠错单元,并相应对检测单元进行了修改,获得图1所示的系统结构,可实现容错的目的。

[0089] 在本发明的实施例中,对异步流水线站输出端的双轨数据字分组,增加校验生成器,对每组双轨数据字执行加法运算,生成同样是双轨编码的校验字,其中,双轨编码方式定义如下表所示:

[0090] 双轨编码与普通二进制表示对照表

双轨编码	普通二进制
{0,0}	间隔符
{0,1}	0
{1,0}	1
{1,1}	非法

[0092] 其中,双轨编码 {0,1} 表示二进制0, {1,0} 表示二进制1, {1,1} 为非法值, {0,0} 表示两个双轨码字之间的间隔并用来反映4段握手协议中的“复位”状态。在这种情况下,定义一个双轨码字的负值运算仍然为其本身;定义双轨编码的加法如下:假设两个双轨数据字分别为 $a = \{a_1, a_2\}$ 与 $b = \{b_1, b_2\}$, 其加和为 $c = \{c_1, c_2\}$, 使用“&”表示2输入C单元功能的运算符,“|”表示2输入“或”门功能的运算符,那么,加和c的求解过程为: $c_1 = (a_1 \& b_1) | (a_2 \& b_2)$, $c_2 = (a_1 \& b_2) | (a_2 \& b_1)$ 。

[0093] 具体的,如图2所示,上述校验单元包括:第一校验生成器CG₁₂和第二校验生成器CG₃₄;

[0094] 其中,所述第一校验生成器的输入端与所述第一异步锁存器和第二异步锁存器的输出端连接;

[0095] 所述第二校验生成器的输入端与所述第三异步锁存器和第四异步锁存器的输出端连接;

[0096] 各校验生成器的输出端均与纠错单元的输入端和检测单元的输入端连接。

[0097] 如图2所示,各校验生成器的输出端分别为 $c_{\{1,2\}}$ 和 $c_{\{3,4\}}$, $c_{\{1,2\}}$ 包括 $c_{\{1,2\},0}$ 和 $c_{\{1,2\},1}$, $c_{\{3,4\}}$ 包括: $c_{\{3,4\},0}$ 和 $c_{\{3,4\},1}$ 。

[0098] 进一步的,如图3所示,各校验生成器均为由第七C单元、第八C单元、第九C单元、第十C单元、第七或门电路和第八或门电路组成的双轨加法器;

[0099] 其中,各校验生成器的输入端为其第七C单元、第八C单元、第九C单元和第十C单元的输入端;

[0100] 各校验生成器的输出端为其第七或门电路和第八或门电路的输出端;

[0101] 所述第七或门电路的输入端与所述第七C单元和第八C单元的输出端连接;

[0102] 所述第八或门电路的输入端与所述第九C单元和第十C单元的输出端连接。

[0103] 具体的,所述第七或门电路和第八或门电路均包括:第一输入端、第二输入端和输出端,所述第七C单元、第八C单元、第九C单元和第十C单元均包括:第一输入端和第二输入端;

[0104] 所述第一校验生成器的第七C单元的第一输入端与所述第一异步锁存器的第一C单元的输出端连接,所述第一校验生成器的第七C单元的第二输入端与所述第二异步锁存

器的第一C单元的输出端连接；

[0105] 所述第一校验生成器的第八C单元的第一输入端与所述第一异步锁存器的第二C单元的输出端连接,所述第一校验生成器的第八C单元的第二输入端与所述第二异步锁存器的第二C单元的输出端连接；

[0106] 所述第一校验生成器的第九C单元的第一输入端与所述第一异步锁存器的第一C单元的输出端连接,所述第一校验生成器的第九C单元的第二输入端与所述第二异步锁存器的第二C单元的输出端连接；

[0107] 所述第一校验生成器的第十C单元的第一输入端与所述第一异步锁存器的第二C单元的输出端连接,所述第一校验生成器的第十C单元的第二输入端与所述第一异步锁存器的第一C单元的输出端连接；

[0108] 所述第一校验生成器的第七C单元和第八C单元的输出端与所述第七或门电路的第一输入端和第二输入端连接；

[0109] 所述第一校验生成器的第九C单元和第十C单元的输出端与所述第八或门电路的第一输入端和第二输入端连接；

[0110] 所述第一校验生成器的第七或门电路和第八或门电路的输出端均与所述第一错误纠正器的输入端、第二错误纠正器的输入端和所述检测单元的输入端连接；

[0111] 所述第二校验生成器的第七C单元的第一输入端与所述第三异步锁存器的第一C单元的输出端连接,所述第二校验生成器的第七C单元的第二输入端与所述第四异步锁存器的第一C单元的输出端连接；

[0112] 所述第二校验生成器的第八C单元的第一输入端与所述第三异步锁存器的第二C单元的输出端连接,所述第二校验生成器的第八C单元的第二输入端与所述第四异步锁存器的第二C单元的输出端连接；

[0113] 所述第二校验生成器的第九C单元的第一输入端与所述第三异步锁存器的第一C单元的输出端连接,所述第二校验生成器的第九C单元的第二输入端与所述第四异步锁存器的第二C单元的输出端连接；

[0114] 所述第二校验生成器的第十C单元的第一输入端与所述第三异步锁存器的第二C单元的输出端连接,所述第二校验生成器的第十C单元的第二输入端与所述第四异步锁存器的第一C单元的输出端连接；

[0115] 所述第二校验生成器的第七C单元和第八C单元的输出端与所述第七或门电路的第一输入端和第二输入端连接；

[0116] 所述第二校验生成器的第九C单元和第十C单元的输出端与所述第八或门电路的第一输入端和第二输入端连接；

[0117] 所述第二校验生成器的第七或门电路和第八或门电路的输出端均与所述第三错误纠正器的输入端、第四错误纠正器的输入端和所述检测单元的输入端连接。

[0118] 图3a中, $c_{\{1,2\},0}$ 和 $c_{\{1,2\},1}$ 分别为校验生成器CG₁₂中第七或门电路和第八或门电路的输出端,即其校验生成器CG₁₂的输出端;图3b中, $c_{\{3,4\},0}$ 和 $c_{\{3,4\},1}$ 分别为校验生成器CG₃₄中第七或门电路和第八或门电路的输出端,即其校验生成器CG₃₄的输出端。

[0119] 在本发明的实施例中,如图4所示,上述检测单元包括:第一或门电路、第二或门电路、第三或门电路、第四或门电路、第五或门电路、第六或门电路、第三C单元、第四C单元、第

五C单元、第六C单元和第七C单元；

[0120] 其中,所述第一或门电路、第二或门电路、第三或门电路、第四或门电路、第五或门电路和第六或门电路均包括:第一输入端、第二输入端和输出端,所述第三C单元、第四C单元、第五C单元、第六C单元和第七C单元均包括:第一输入端、第二输入端和输出端;

[0121] 所述第一或门电路、第二或门电路、第三或门电路和第四或门电路中各或门电路的输入端分别与异步流水站中与其编号对应的异步锁存器的输出端连接;比如第一或门电路连接第一异步锁存器的输出端 d_1 ;

[0122] 所述第三C单元的第一输入端和第二输入端分别与所述第一或门电路和第二或门电路的输出端连接;

[0123] 所述第四C单元的第一输入端和第二输入端分别与所述第三或门电路和第四或门电路的输出端连接;

[0124] 所述第五C单元的第一输入端和第二输入端分别与所述第三C单元和第四C单元的输出端连接;

[0125] 所述第五或门电路的输入端与所述第一校验生成器的输出端连接;

[0126] 所述第六或门电路的输入端均与所述第二校验生成器的输出端连接;

[0127] 所述第六C单元的第一输入端和第二输入端分别与所述第五或门电路和第六或门电路的输出端连接;

[0128] 所述第七C单元的第一输入端和第二输入端与所述第五C单元和第六C单元的输出端连接,所述第七C单元的输出端与所述后向应答单元的输入端连接。

[0129] 纠错单元是实现容错的关键模块,其原理如下:不管是传输信号,还是新产生的校验信号,在传输过程中都可能会发生瞬时错误,产生信号的翻转,使得原来正确的双轨编码出错,异步流水站前首先增加2个错误纠正器对同一组的数据字与校验字进行双轨减法操作,使用校验字作为被减数,其中一个数据字为减数,在没有发生错误的情况下,差为另一个数据字,在发生1比特瞬时错误发生的情况下,2个数据字与1个校验字之间只有1个发生错误:(1)如果其中的1个数据字出错,那么没有出错的校验字减去另一个数据字就可以得到正确的数据字,在错误纠正器后增加错误过滤器,可以实现错误的过滤,得到最终正确的数据字;(2)如果校验字出错,尽管执行减法运算后,生成的差都是错的,但是基于1比特错误的假设,原始的数据字都是正确的,经过错误过滤器,同样能够得到正确的数据字,实现了错误的纠正。

[0130] 进一步的,如图2所示,所述纠错单元包括:第一错误纠正器 EC_1 、第二错误纠正器 EC_2 、第三错误纠正器 EC_3 、第四错误纠正器 EC_4 、第一错误过滤器 EF_1 、第二错误过滤器 EF_2 、第三错误过滤器 EF_3 和第四错误过滤器 EF_4 ;

[0131] 其中,所述第一错误纠正器的输入端与所述第二异步锁存器的输出端和所述第一校验生成器的输出端连接;

[0132] 所述第二错误纠正器的输入端与所述第一异步锁存器的输出端和所述第一校验生成器的输出端连接;

[0133] 所述第三错误纠正器的输入端与所述第四异步锁存器的输出端和所述第二校验生成器的输出端连接;

[0134] 所述第四错误纠正器的输入端与所述第三异步锁存器的输出端和所述第二校验

生成器的输出端连接；

[0135] 各错误过滤器的输入端与异步流水站中与错误过滤器编号对应的异步锁存器的输出端和与错误过滤器编号对应的错误纠正器的输出端连接，即第一错误过滤器的输入端与第一异步锁存器的输出端和第一错误纠正器的输出端连接；

[0136] 各错误过滤器的输出端与下一级传输模块异步流水站的输入端连接，具体的，与其对应编号的异步锁存器的输入端连接。

[0137] 其中，对应发射端的校验生成器CG₁₂，在接收端增加2个错误纠正器EC₁与EC₂，分别对校验字 $c_{\{1,2\}}$ 和数据字 d_1 、 d_2 执行减法操作，错误纠正器执行的是双轨减法，形式化表示为 $c=a+b=a-b$ ，因此，EC₁与EC₂的输出分别为 $d'_1=c_{\{1,2\}}-d_2=c_{\{1,2\}}+d_2$ ， $d'_2=c_{\{1,2\}}-d_1=c_{\{1,2\}}+d_1$ ，都是双轨编码。同理，对应校验生成器CG₃₄，在接收端增加2个错误纠正器EC₃与EC₄，其输出分别为 $d'_3=c_{\{3,4\}}-d_4=c_{\{3,4\}}+d_4$ ， $d'_4=c_{\{3,4\}}-d_3=c_{\{3,4\}}+d_3$ 。

[0138] 进一步的，如图5所示，所述第一错误纠正器、第二错误纠正器、第三错误纠正器和第四错误纠正器均为由第十一C单元、第十二C单元、第十三C单元、第十四C单元、第九或门电路和第十或门电路组成的双轨加法器；

[0139] 其中，各错误纠正器的输入端为其第十一C单元、第十二C单元、第十三C单元和第十四C单元的输入端；

[0140] 各错误纠正器的输出端为其第九或门电路和第十或门电路的输出端；

[0141] 所述第九或门电路的输入端与所述第十一C单元和第十二C单元的输出端连接；

[0142] 所述第十或门电路的输入端与所述第十三C单元和第十四C单元的输出端连接。

[0143] 具体的，所述第一错误纠正器的第十一C单元的第一输入端和第二输入端分别与所述校验单元的第一校验生成器的第九或门电路的输出端和所述第二异步锁存器的第一C单元的输出端连接；

[0144] 所述第一错误纠正器的第十二C单元的第一输入端和第二输入端分别与所述校验单元的第一校验生成器的第十或门电路的输出端和所述第二异步锁存器的第二C单元的输出端连接；

[0145] 所述第一错误纠正器的第十三C单元的第一输入端和第二输入端分别与所述校验单元的第一校验生成器的第九或门电路的输出端和所述第二异步锁存器的第二C单元的输出端连接；

[0146] 所述第一错误纠正器的第十四C单元的第一输入端和第二输入端分别与所述校验单元的第一校验生成器的第十或门电路的输出端和所述第二异步锁存器的第一C单元的输出端连接；

[0147] 所述第一错误纠正器的第十一C单元和第十二C单元的输出端与所述第一错误纠正器的第九或门电路的第一输入端和第二输入端连接；

[0148] 所述第一错误纠正器的第十三C单元和第十四C单元的输出端与所述第一错误纠正器的第十或门电路的第一输入端和第二输入端连接；

[0149] 所述第一错误纠正器的第九或门电路和第十或门电路的输出端与所述第一错误过滤器的输入端连接。同理，第二、第三、第四错误纠正器均采用和第一错误纠正器相同的连接方法与图2中对应的校验生成器和错误过滤器连接。

[0150] 图2中， d'_1 、 d'_2 、 d'_3 、 d'_4 为对应编号的错误纠正器的输出端，均包括如图5a~图5d

所示的两个输出端 $d'_{i,0}$ 、 $d'_{i,1}$,其分别为各错误纠正器两个或门电路的输出端, $i \in [1,4]$ 。

[0151] 进一步的,如图6所示,所述第一错误过滤器、第二错误过滤器、第三错误过滤器和第四错误过滤器均包括:第一C单元和第二C单元;

[0152] 其中,各C单元均包括:第一输入端、第二输入端和输出端;

[0153] 各错误过滤器的第一C单元的第一输入端和第二输入端分别与异步流水站中与错误过滤器编号对应的异步锁存器的第一C单元的输出端和异步流水站中与错误过滤器编号对应的错误纠正器的第九或门电路的输出端连接;

[0154] 各错误过滤器的第二C单元的第一输入端和第二输入端分别与异步流水站中与错误过滤器编号对应的异步锁存器的第二C单元的输出端和异步流水站中与错误过滤器编号对应的错误纠正器的第十或门电路的输出端连接;

[0155] 各错误过滤器的第一C单元和第二C单元的输出端与下一级传输模块的异步流水站中与错误过滤器编号对应的异步锁存器的输入端连接。

[0156] 图2中, d''_1 、 d''_2 、 d''_3 、 d''_4 为对应编号的错误过滤器的输出端,均包括如图6中的两个输出端,即 $d''_{i,0}$ 、 $d''_{i,1}$,其分别为错误过滤器各C单元的输出端。

[0157] 在本发明的实施例中,如图2所示,上述后向应答单元包括:非门单元;

[0158] 其中,所述非门单元的输入端连接所述检测单元的输出端,所述非门单元的输出端连接所述异步流水站的输入端。

[0159] 综上所述,本发明涉及一种双轨信号异步传输链路系统,包括:级联的多个传输模块;传输模块包括:异步流水站、检测单元、校验单元、纠错单元和后向应答单元;所述异步流水站,用于基于接收到的传输信号和反馈信号生成传输信号;所述接收到的传输信号由上一级传输模块的纠错单元或外部发送设备发出,所述反馈信号由下一级传输模块的后向应答单元或外部接收设备发出;所述校验单元,用于基于异步流水站发出的传输信号生成校验信号;所述纠错单元,用于基于校验单元发出的校验信号对异步流水站生成的传输信号进行纠错,并将纠错后的传输信号发送至下一级传输模块的异步流水站或外部接收设备;所述检测单元,用于基于校验单元发出的校验信号,以及异步流水站发出的传输信号发出检测信号;所述后向应答单元,用于基于检测单元发出的检测信号发出反馈信号;本发明能够容忍传输链路上的1比特瞬时错误,保持了时序鲁棒性,具有灵活可配置、链路利用率高、面积开销小的特点。

[0160] 本领域内的技术人员应明白,本申请的实施例可提供为方法、系统、或计算机程序产品。因此,本申请可采用完全硬件实施例、完全软件实施例、或结合软件和硬件方面的实施例的形式。而且,本申请可采用在一个或多个其中包含有计算机可用程序代码的计算机可用存储介质(包括但不限于磁盘存储器、CD-ROM、光学存储器等)上实施的计算机程序产品的形式。

[0161] 本申请是参照根据本申请实施例的方法、设备(系统)、和计算机程序产品的流程图和/或方框图来描述的。应理解可由计算机程序指令实现流程图和/或方框图中的每一流程和/或方框、以及流程图和/或方框图中的流程和/或方框的结合。可提供这些计算机程序指令到通用计算机、专用计算机、嵌入式处理机或其他可编程数据处理设备的处理器以产生一个机器,使得通过计算机或其他可编程数据处理设备的处理器执行的指令产生用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的装置。

[0162] 这些计算机程序指令也可存储在能引导计算机或其他可编程数据处理设备以特定方式工作的计算机可读存储器中,使得存储在该计算机可读存储器中的指令产生包括指令装置的制造品,该指令装置实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能。

[0163] 这些计算机程序指令也可装载到计算机或其他可编程数据处理设备上,使得在计算机或其他可编程设备上执行一系列操作步骤以产生计算机实现的处理,从而在计算机或其他可编程设备上执行的指令提供用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的步骤。

[0164] 最后应当说明的是:以上实施例仅用以说明本发明的技术方案而非对其限制,尽管参照上述实施例对本发明进行了详细的说明,所属领域的普通技术人员应当理解:依然可以对本发明的具体实施方式进行修改或者等同替换,而未脱离本发明精神和范围的任何修改或者等同替换,其均应涵盖在本发明的权利要求保护范围之内。

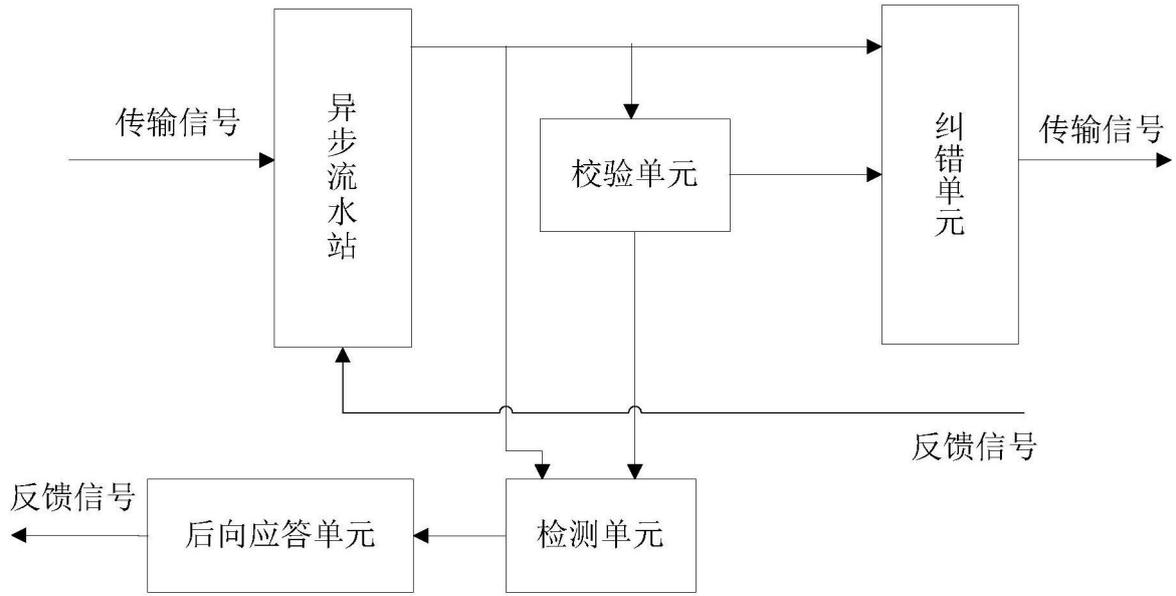


图1

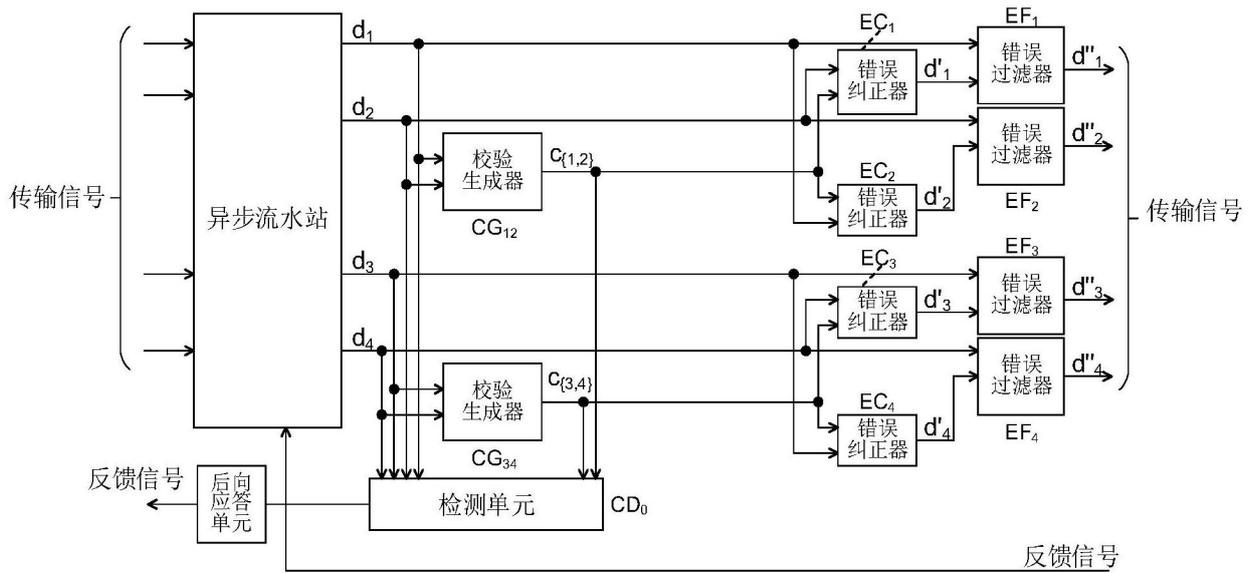


图2

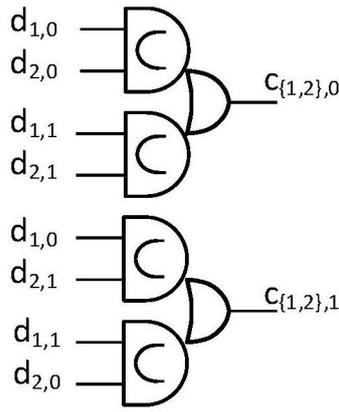


图3a

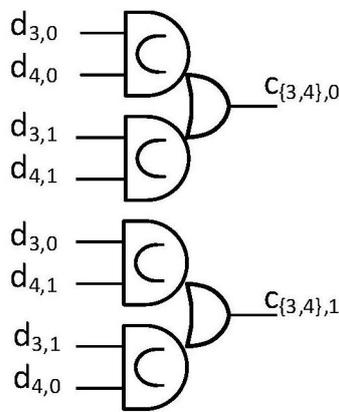


图3b

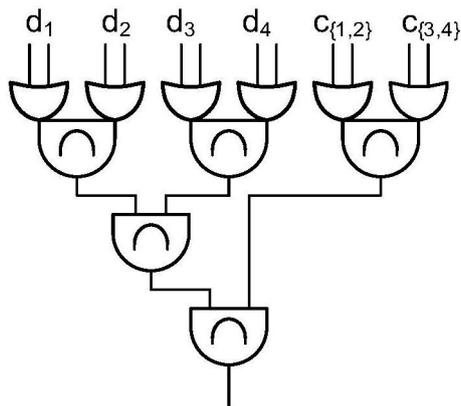


图4

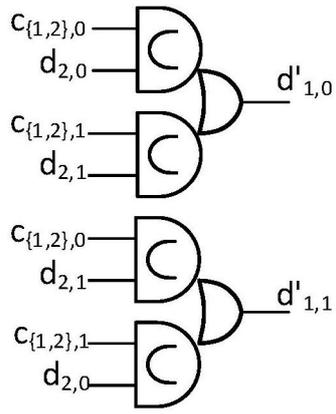


图5a

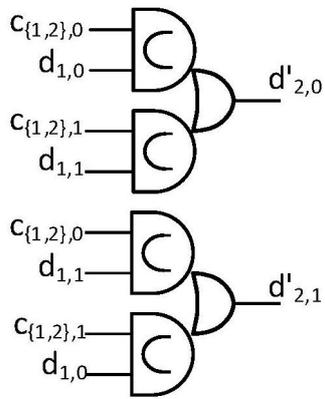


图5b

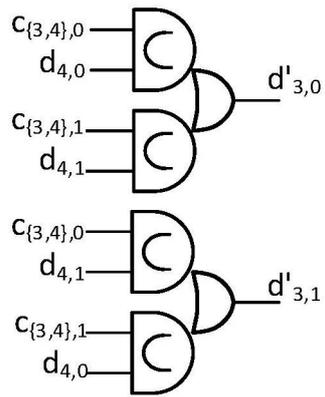


图5c

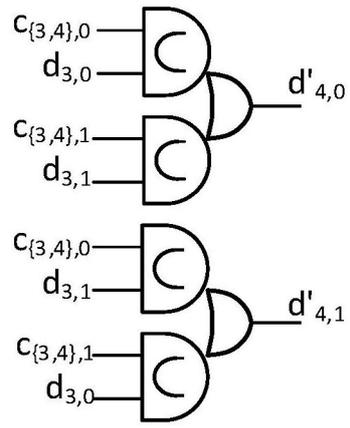


图5d

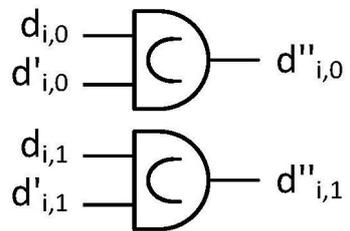


图6